

Specifiche per un beamformer di stazione per il Tile Processing Module del Low Frequency Aperture Array di SKA

November 25, 2016

1 Contesto

Il radiotelescopio LFAA è formato da *stazioni*, a loro volta formate da 256 antenne in doppia polarizzazione in una configurazione di phased aperture array. Il segnale proveniente dalle antenne viene processato, in forma digitale, in 16 schede *Tile Processing modules* (TPM), ciascuna delle quali processa 16 antenne, e che comunicano tra di loro utilizzando un'interfaccia veloce Ethernet.

È già stato sviluppato un sistema di beamforming di tile, che produce pacchetti di dati relativi ad un istante temporale e 192 canali di frequenza, ed un'interfaccia di rete che consente di trasportare pacchetti generici tra due TPM.

Scopo del presente bando è la realizzazione di un modulo firmware di processamento su FPGA, che:

- riorganizzi i pacchetti in ingresso in modo da produrre sequenze di un singolo canale di frequenza su un intervallo temporale contiguo, utilizzando una memoria DDR3 presente sul TPM;
- sommi tra di loro i pacchetti corrispondenti generati dai 16 TPM che formano una stazione, trasportando la somma parziale attraverso i 16 TPM usando l'interfaccia di rete.

Il modulo dovrà essere realizzato usando il linguaggio VHDL, e gli standard di interfacciamento AXI4 verso gli altri moduli già realizzati, su una piattaforma hardware basata su FPGA Xilinx Kintex Ultrascale.

Dato l'elevato grado di interazione con i restanti elementi di firmware già realizzati, si richiede una presenza continuativa (indicativamente un giorno alla settimana) presso la sede dell'Osservatorio Astrofisico di Arcetri.

2 Interfacce

Il modulo si interfaccia con:

- Tile beamformer, da cui riceve pacchetti formati da 384 campioni (24 bit ciascuno, 12+12 bit complex) corrispondenti ad un singolo istante temporale, in formato stream AXI4. I pacchetti vengono ricevuti con una cadenza di 1,08 microsecondi.
- Memoria DDR3, utilizzando un core standard Xilinx con interfaccia custom
- Interfaccia di rete, bidirezionale. I dati vengono scambiati in pacchetti di 8192 bytes, come array bidimensionali di campioni a 16+16 bit, 256 istanti temporali e 8 canali, più un insieme di informazioni ancillarie che specificano tempo e canali di frequenza contenuti nel pacchetto. La formattazione del pacchetto con le informazioni ancillarie viene effettuata nell'interfaccia già presente. I pacchetti vengono ricevuti e trasmessi ad una cadenza media di 5,76 microsecondi.
- Interfaccia di controllo, rappresentata da un insieme di registri leggibili e/o scrivibili dal modulo.

3 Struttura del modulo

Le funzionalità da implementare, come moduli indipendenti, sono:

- Corner turner di ingresso. Il modulo provvede a scrivere i dati in ingresso nella memoria DDR3, nell'ordine richiesto dall'interfaccia di rete. Date le limitazioni delle memorie DDR3 il modulo deve accorpate più pacchetti di ingresso, e sfruttare la struttura a banchi dell'architettura SDRAM in modo da rispettare le tempistiche richieste.
- Interfaccia verso la memoria. Il modulo deve interallacciare le richieste di lettura e scrittura alla memoria in modo da rispettare le tempistiche richieste.
- Sommatore dei pacchetti. Il modulo deve ricevere un pacchetto dall'interfaccia di rete, recuperare dalla memoria DDR3 il pacchetto corrispondente, sommarli tra di loro e reinviare il risultato all'interfaccia di rete. Deve avere la capacità di processare pacchetti in arrivo alla cadenza media indicata, senza generare collisioni o perdite di pacchetti. Nel primo TPM (che non riceve pacchetti dall'esterno) deve recuperare i pacchetti in memoria nell'ordine specificato ed alla cadenza media prevista.

Il modulo dovrà utilizzare le risorse disponibili sulla FPGA utilizzata, (Xilinx XKCU040) al netto delle rimanenti parte del firmware di signal processing. Queste ammontano a 100 block RAM, e a circa 100K LUT. Non si prevede l'utilizzo di unità aritmetiche, che comunque sono disponibili.

4 Sviluppo temporale

Il modulo dovrà essere fornito come codice VHDL commentato, e corredato di adeguata documentazione. Il codice dovrà essere verificato tramite simulazione funzionale, ed essere in grado di compilare con corretta chiusura del timing con clock a 200 MHz usando tool di sintesi Synplify. L'integrazione del codice al firmware esistente verrà realizzata dall'Osservatorio di Arcetri, ma si richiede supporto tecnico (chiarimenti sul funzionamento, correzione delle anomalie riscontrate) nella fase di integrazione.

Il firmware dovrà essere realizzato e consegnato per l'integrazione entro tre mesi dall'assegnazione del lavoro, con una documentazione minimale sufficiente all'integrazione. Sono previste tappe intermedie con consegna di singoli elementi funzionali. Si prevede un ulteriore periodo di circa 3 settimane per l'integrazione e il collaudo, in cui sarà richiesto supporto tecnico. La documentazione finale dovrà essere consegnata entro 4 mesi dall'assegnazione del lavoro.