

Elettronica di acquisizione di GIANO

Parte analogica a temperatura ambiente

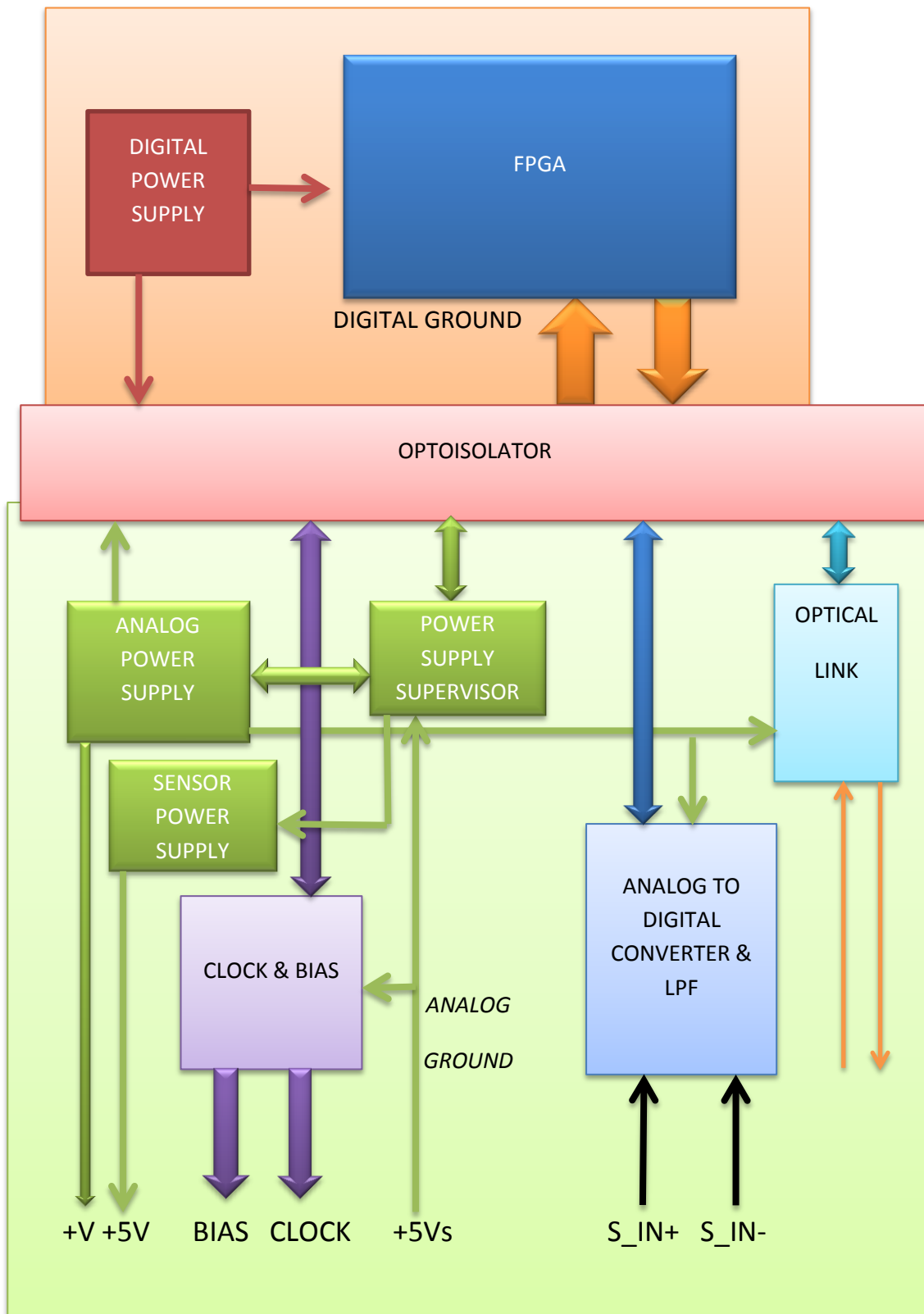
Valdemaro Biliotti

05/10/2012

Sommario

Giano è uno spettrometro infrarosso ad alta risoluzione costruito attorno al sensore Hawaii2 PACE, sensibile allo spettro compreso fra 0.95 e 2.5 μ m. Il sensore è formato da un mosaico di quattro quadranti con segnali di controllo, masse e alimentazioni indipendenti tra loro. L'elettronica di acquisizione ricalca questa caratteristica, perché è composta da quattro canali di acquisizione indipendenti, ognuno dei quali è dedicato alla gestione di un quadrante del sensore. Questa architettura, combinata con componenti analogici e digitali di nuova generazione, fanno dell'elettronica di acquisizione di Giano un progetto innovativo rispetto ai sistemi di acquisizione costruiti per gli strumenti precedenti. Il presente rapporto descrive la parte analogica a temperatura ambiente, che gestisce un quadrante del sensore e ne acquisisce il segnale generato. L'impiego di nuove soluzioni per l'amplificazione del segnale a temperature criogeniche hanno portato a ottimi risultati per quanto riguarda il rumore di lettura, la stabilità a lungo termine, il pick-up e il cross-talk fra i canali, che risultano inferiori al misurabile. Inoltre, i componenti programmabili FPGA hanno permesso di implementare funzioni complesse, che si traducono in elevata flessibilità in condizioni operative e elevata capacità di auto diagnosi, dalla quale deriva una ottima manutenibilità nel tempo.

Figura1 : Schema a blocchi



La figura 1 rappresenta lo schema a blocchi di una scheda Analog Board. In essa si concentrano tutte le funzioni necessarie per gestire un quadrante del sensore e tutte quelle che effettuano l'acquisizione e la conversione analogico digitale del segnale. Della catena di acquisizione completa manca la parte che fa la sottrazione del segnale generato dal sensore con una tensione di riferimento e la successiva amplificazione: tale funzione è svolta dagli amplificatori che sono dentro al Dewar e lavorano in stretto contatto col sensore, alla temperatura dell'azoto liquido. Il sistema completo per l'acquisizione del segnale di un quadrante è suddiviso fra la Analog Board e la Cryogenic Board, si tratta una distribuzione dei componenti diversa da quella ottimale, per la quale sensore e sistema di acquisizione dovrebbero essere racchiusi in dimensioni compatte e possibilmente schermati rispetto all'ambiente esterno. Si tratta però di una scelta obbligata perché il sensore infrarosso funziona solo a temperature criogeniche, con conseguente utilizzo di un Dewar e tutte le tecniche del vuoto, mentre i componenti elettronici funzionano soltanto in un intervallo di temperature prossime a quella ambiente. L'inevitabile sdoppiamento della catena di acquisizione richiede la presenza di un cablaggio per la connessione fra le parti, si creano così le condizioni affinché il rumore in eccesso, il cross-talk e il pick-up si possano manifestare. Con la lunghezza dei cavi cresce l'eventuale accoppiamento elettromagnetico tra i segnali che li attraversano, diminuisce l'effetto delle schermature, mentre i collegamenti di massa vedono aumentare la propria impedenza, perdendo di fatto la loro peculiarità di riferimento ideale. Il rumore in eccesso, il cross-talk e il pick-up possono assumere dei livelli tali da superare ampiamente il rumore teorico previsto. La perdita di sensibilità dello strumento che ne deriva può essere notevole, e porvi rimedio –anche parziale- potrebbe diventare impresa molto ardua, o addirittura impossibile, perché questi effetti si manifestano a cose fatte, quando cioè l'elettronica di acquisizione è completa e funzionante.

Tutte queste considerazioni hanno guidato le scelte fatte per l'architettura dell'elettronica e per la scelta dei componenti, entrambi sono elementi cruciali ai fini delle prestazioni. La prima scelta di progetto è stata quella di aver suddiviso il sistema di acquisizione in quattro parti completamente separate tra di loro, la massa di ogni canale di acquisizione è in contatto con le masse degli altri canali solo in prossimità del sensore. Questa disposizione a stella, con il "centro stella" delle masse in coincidenza della sorgente impedisce che il ritorno di un segnale passi per una massa

diversa da quella del proprio canale di acquisizione; di conseguenza il cross-talk per ritorno di massa comune fra segnali di canali diversi non può aver luogo. La seconda scelta di progetto riguarda il modo con cui viene trattato il segnale generato dal quadrante del sensore: un passo importante è stato fatto con lo studio del comportamento dei FET a temperature criogeniche¹ e con la selezione di un amplificatore DiFET commerciale² che ha dimostrato di poter funzionare bene anche a bassissima temperatura. Questo componente amplifica il debole segnale già all'uscita del sensore, successivamente il segnale viene inviato verso l'esterno del Dewar; trattandosi di un segnale amplificato il contributo di eventuali disturbi raccolti lungo il cablaggio viene attenuato di un fattore pari al guadagno dell'amplificatore. La terza scelta importante per le prestazioni della catena di acquisizione riguarda come il segnale amplificato viene trasportato dal cablaggio verso l'elettronica esterna: diversamente da quanto avvenuto in passato, nell'elettronica di acquisizione di Giano il segnale amplificato non è singolo, ma è una coppia differenziale, nella quale ogni segnale è l'inverso dell'altro³. Quando un segnale viene trasportato sotto forma di coppia differenziale, la sua immunità rispetto ai disturbi elettromagnetici è più alta rispetto a quella tradizionale con cavo singolo. Ci sono molti studi e note applicative che trattano l'argomento, senza addentrarci in dettagli che esulano dallo scopo di questo rapporto tecnico, possiamo però sottolineare come già a livello intuitivo il vantaggio è evidente. Infatti, se da un lato è vero che il singolo conduttore o la coppia possono raccogliere la stessa quantità di energia da un disturbo esterno (per esempio, come effetto antenna), dall'altro lato è altrettanto vero che la coppia raccoglie (statisticamente) lo stesso disturbo su entrambi i segnali differenziali. E dunque, mentre il disturbo sul cavo singolo una volta che si è sommato al segnale non è più separabile, il disturbo sulla coppia di cavi può essere annullato per differenza. Questa semplice e cruciale operazione viene

¹ [Rapporto tecnico • 5/2004](#) Caratterizzazione di FET a temperature criogeniche *V. Biliotti, S. Gennari*

² [Rapporto tecnico • 5/2006](#) Caratterizzazione criogenica degli amplificatori operazionali OPA627, AD8620 e AD8655 *V Biliotti, M. González, I. Mochi*

³ [Rapporto tecnico • 7/2012](#) Elettronica di Acquisizione di GIANO Parte analogica a temperatura criogenica *V.Biliotti*

svolta dal convertitore analogico digitale, differenziale pure lui, perché traduce in dato numerico la differenza tra i segnali di ingresso.

L' elettronica di acquisizione per Giano ha un rumore di lettura pari a 5.2 elettroni nel doppio campionamento correlato a 100KHz, ha anche una elevata immunità al pick-up e al cross-talk, che risultano bassi al punto di non essere misurabili con il campionamento a 16 bit⁴.

Questa struttura è una novità rispetto alla tradizione degli strumenti infrarossi prodotti prima di Giano: in passato vicino al sensore veniva usato un FET collegato come source follower, il cui effetto era quello di "rinforzare" il segnale più che amplificare: il guadagno in tensione era di poco inferiore all'unità, mentre il guadagno in corrente poteva essere dell'ordine di un centinaio. Il segnale usciva dal Dewar con bassa impedenza, leggermente attenuato e su un singolo conduttore.

Riassumendo, ogni canale di acquisizione di Giano è formato da un amplificatore, situato in prossimità del sensore, che invia i segnali in modo differenziale e bilanciato su una coppia di conduttori, i segnali così generati escono dal Dewar ed entrano nella Analog Board, dove un convertitore differenziale di nuova generazione traduce la differenza dei segnali in un valore digitale.

Il blocco ANALOG TO DIGITAL CONVERTER & LPF è, di fatto, la parte terminale della catena di acquisizione appena descritta: è composto da un filtro passa basso differenziale e da un convertitore analogico digitale che, come accennato, restituisce un valore proporzionale alla differenza fra i segnali di ingresso S_IN+ e S_IN- provenienti dall'amplificatore differenziale. La sua frequenza di campionamento è programmabile e può variare da 57KHz a 500KHz, test di laboratorio sul sensore hanno dimostrato che 100KHz è la frequenza ottimale, nel senso di miglior compromesso tra rumore e velocità di lettura del quadrante. Per questo motivo il filtro di ingresso (LPF) è un filtro passa basso differenziale del secondo ordine progettato e ottimizzato per il campionamento a 100KHz.

Il dato digitale ottenuto dal campionamento arriva al componente programmabile FPGA passando attraverso degli isolatori ottici. La massa dei

⁴ [Rapporto interno • 8/2010 Test dell'elettronica e misure di stabilità a lungo termine V.](#)
Biliotti, C. Baffa, G.Falcini, E. Giani, E.Oliva, L.Origlia, A.Tozzi, M.Sozzi

circuiti digitali (colore arancione) e quella dei circuiti analogici lineari (colore verde) sono galvanicamente separate, la comunicazione dei dati fra le due zone avviene attraverso il blocco OPTOISOLATOR.

Il componente programmabile FPGA svolge tutte le funzioni logiche ad alto livello: gestisce il link a fibre ottiche, decodifica e interpreta i comandi ricevuti dalla Interface Board, genera tutti i clock di scansione, le tensioni di alimentazione e di riferimento per il quadrante del sensore, controlla la conversione analogico digitale e la trasmissione dei dati campionati.

Il blocco OPTICAL LINK è composto da un ricevitore e un trasmettitore a fibre ottiche, entrambi lavorano usando un protocollo progettato per trasportare contemporaneamente sia dati che un riferimento temporale, che da ora in avanti chiameremo il clock di sistema. Le quattro schede Analog Board sono completamente indipendenti tra loro, ognuna ha a bordo un oscillatore al quarzo che può avere una piccola deriva in frequenza rispetto a quelli delle altre schede; il clock di sistema serve appunto per evitarla e agganciare la fase di ogni oscillatore ad un riferimento comune, in modo tale che tutte le schede possano generare i clock di scansione dei quadranti con i fronti perfettamente sincronizzati tra loro.

Il clock di sistema parte dalla Interface Board, che lo trasmette in continuazione per tutti i canali, il ricevitore a fibre ottiche di ogni canale lo trasforma in segnale digitale e lo invia al componente programmabile FPGA. Con un campionamento ad alta frequenza il clock di sistema viene separato dai dati e verificato, se conforme alle specifiche viene usato per la sincronizzazione e ritrasmesso (come eco) verso la Interface Board, se non è conforme o assente, l'eco non viene trasmesso indietro. Questo percorso permette alla Interface Board e alle quattro Analog Board di sincronizzarsi tra loro, ma anche di controllare in tempo reale la funzionalità dei link, cioè di rivelare eventuali errori e di misurare il Bit Error Rate.

Il blocco CLOCK & BIAS genera tutti i segnali necessari per la gestione del quadrante del sensore; in dettaglio, i BIAS sono segnali di riferimento stabili nel tempo e programmabili in ampiezza, i CLOCK sono segnali con ampiezza picco-picco predefinita e programmabili in durata e frequenza: essi commutano fra la massa e il ritorno dell'alimentazione del quadrante (circa 5V). Tutti questi segnali escono dalla scheda e arrivano sugli ingressi del sensore. Fanno un percorso che coinvolge connettori, anche da vuoto, e cablaggi, sia all'esterno che all'interno del Dewar. Questo percorso da un lato

è inevitabile e dall'altro è potenziale causa di problemi di affidabilità dovuti alle connessioni, in special modo quelle realizzate dai connettori che stanno dentro al Dewar, e perciò a temperature criogeniche. Cosa succederebbe se un certo segnale di ingresso non arrivasse al sensore? La risposta potrebbe essere: -il sensore non dovrebbe subire danni irreversibili, ma siccome non viene pilotato correttamente, con ogni probabilità non produrrà alcun segnale in uscita, o se lo farà, sarà certamente un segnale privo di significato-. Questa è la risposta più ragionevole, quando il segnale mancante è un CLOCK o un BIAS; se invece al sensore manca l'alimentazione mentre tutti gli altri segnali di ingresso sono presenti, allora la situazione è potenzialmente molto pericolosa, perché possibile causa di danni irreversibili.

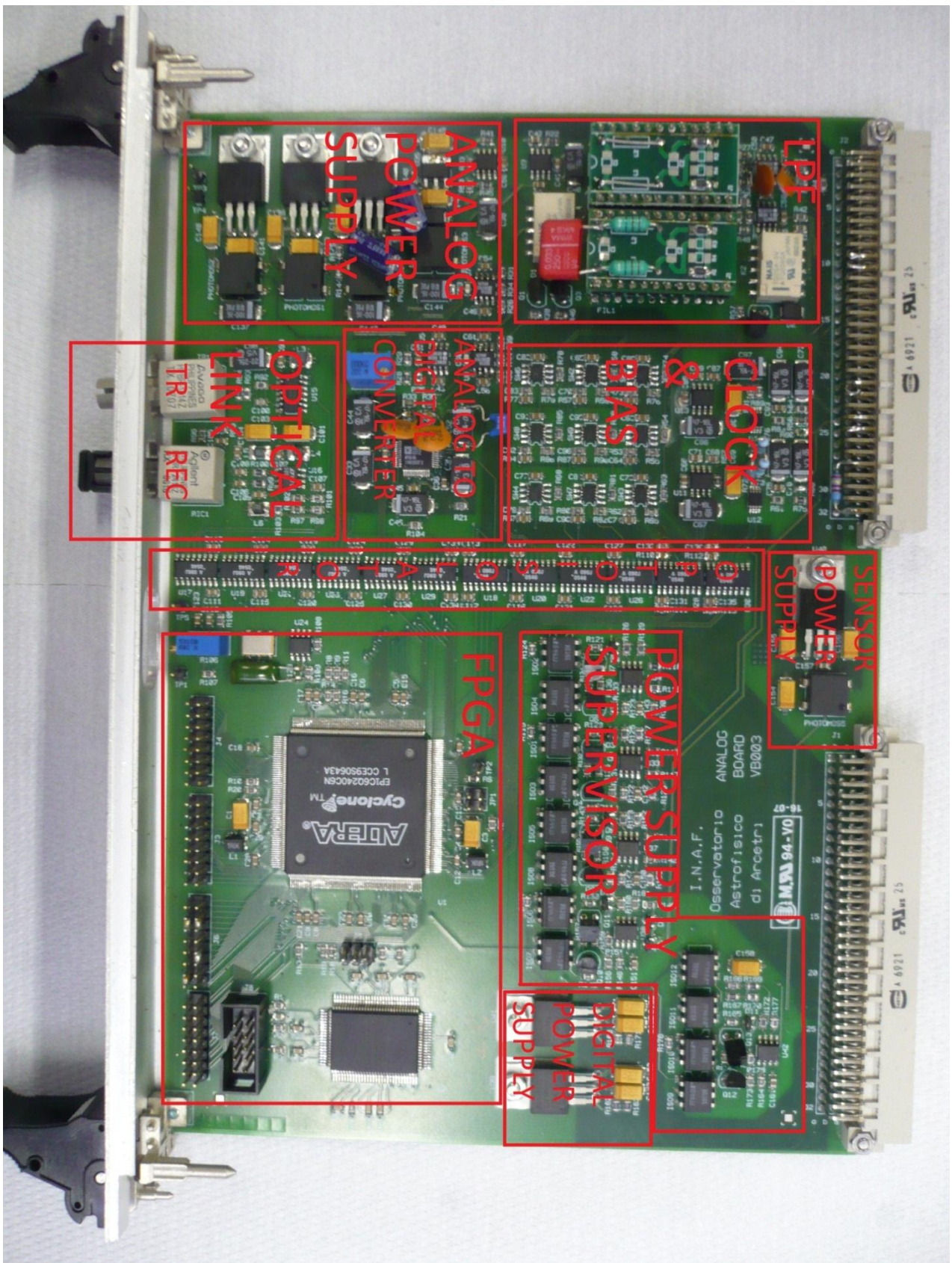
L'elettronica di Giano è stata progettata con degli accorgimenti che impediscono il verificarsi di situazioni potenzialmente pericolose per il sensore, perché tutti i segnali in uscita dal blocco CLOCK & BIAS vengono generati con la tensione di ritorno dall'alimentazione del quadrante, mancando lei mancano tutti i segnali in uscita. Scendendo nel particolare, il blocco SENSOR POWER SUPPLY genera la tensione di alimentazione (+5V), che per mezzo del cablaggio arriva alla Cryogenic Board, dove alimenta il quadrante del sensore e da dove ritorna indietro con un collegamento dedicato (sullo schema a blocchi è la tensione +5Vs). Riassumendo, i segnali vengono generati se, e solo se, la tensione di alimentazione del quadrante è presente e ritorna indietro, ossia se il cablaggio è ben connesso in tutte le sue parti comprese fra la Analog Board e la Cryogenic Board.

La massa della scheda Analog Board è divisa in due zone separate, cioè galvanicamente isolate tra loro, la comunicazione dei dati tra le due zone avviene per mezzo degli isolatori ottici rappresentati dal blocco OPTOISOLATOR. Anche le alimentazioni sono separate, infatti nello schema a blocchi ci sono due gruppi di regolatori rappresentati dai blocchi DIGITAL POWER SUPPLY e ANALOG POWER SUPPLY. Il primo è quello che fornisce le alimentazioni per il componente programmabile e il suo componente di configurazione, il secondo genera le alimentazioni per tutto il canale di acquisizione, compreso le alimentazioni per l'amplificatore del segnale e il quadrante del sensore. I regolatori della parte digitale diventano attivi appena arriva la tensione preregolata dall'alimentatore esterno, i regolatori della parte analogica generano le tensioni seguendo una serie di

verifiche in una sequenza ben definita, che dipende dal controllo del blocco POWER SUPPLY SUPERVISOR.

La tensione di alimentazione del sensore dipende dal blocco SENSOR POWER SUPPLY, la sua presenza è subordinata dal fatto che tutte le altre alimentazioni siano presenti e che sia presente anche un segnale di consenso ricevuto dal computer di controllo. Se manca una tensione, o il segnale di consenso, l'alimentazione del quadrante non parte, e non partono di conseguenza i segnali analogici per il controllo del quadrante. Sono invece presenti, a livello del componente programmabile, tutti i segnali digitali di contorno, ragione per cui la conversione analogico digitale del segnale può comunque avvenire. È questo il caso delle "acquisizioni con il sensore spento", che consiste nel fare le acquisizioni sul rumore termico generato dalla resistenza di pull-up sull'uscita del quadrante del sensore. Sono acquisizioni in cui tutto è identico alla condizione operativa: la temperatura del sensore e dell'amplificatore, la disposizione dei cablaggi e dell'elettronica in generale, le temporizzazioni di scansione e conversione, solo la tensione di alimentazione per il quadrante del sensore manca e la tensione di OFFSET dell'amplificatore differenziale viene impostata a circa 123 mVolt. In queste condizioni ciò che viene campionato è il rumore termico della resistenza di pull-up sommato al rumore del canale di acquisizione. Per la precisione la resistenza di pull-up (200KOhm) è in parallelo alla resistenza equivalente dello stadio (spento) da dove esce il segnale del quadrante; test mirati hanno permesso di stimare che la resistenza equivalente dello stadio spento vale circa 800KOhm a 80°K, quindi il parallelo delle due vale 160KOhm. L'acquisizione a sensore spento è una funzione che permette di valutare le prestazioni della catena di acquisizione: a titolo di riferimento, le acquisizioni double correlated fatte in laboratorio con sensore e resistenza ad 80K° hanno mostrato un rumore R.M.S. totale inferiore a 1.8 ADU, cioè meno di 4 elettroni, considerando il fattore di scala $2.2e^-/ADU$ del sensore.

Figura 2: foto della scheda



Lo schema elettrico:

Lo schema si compone di 6 disegni organizzati in modo gerarchico, al livello più alto c'è lo schema elettrico FPGA (Figura 3), con il componente programmabile FPGA (EP1C6; U1A, U1B, U1C e U1D), il componente per la configurazione (EPC4; U2) con il file di programmazione, il connettore per l'interfaccia JTAG (J8), e il connettore (J2) che collega i segnali per la gestione del sensore con le parti elettroniche che stanno dentro al Dewar. I blocchi di colore verde non sono componenti elettronici, ma rappresentano gli schemi a livello gerarchico più basso. Il componente EP1C6 ha 240 pin di connessione, quindi per avere una certa leggibilità nello schema è stato suddiviso in 4 sezioni (A,B,C,D). Il suo programma viene scritto dentro il componente di configurazione (EPC4) per mezzo del connettore JTAG (J8). Negli istanti seguenti l'accensione, il componente programmabile inizia una procedura con la quale legge i dati di configurazione da un file interno al componente EPC4. La selezione del file di configurazione dipende dallo stato dei ponticelli su J5, cambiando la loro disposizione è possibile cambiare la programmazione. TP3 e TP4 sono dei test point attraverso i quali si può misurare la resistenza del sensore PT100 montato in prossimità dell'amplificatore, serve per valutare la temperatura durante il funzionamento. In laboratorio è stato misurato che la temperatura dell'amplificatore aumenta di circa 15° quando è acceso e amplifica il segnale del quadrante.

Lo schema OPTOISOLATOR rappresenta l'omonima parte dello schema a blocchi. È formato da 12 componenti HCPL-090 che accoppiano otticamente 4 segnali ciascuno, il tempo di propagazione è dell'ordine della decina di nanosecondi. La funzione consiste nell'isolare la massa e l'alimentazione digitale (VSS e 3.3V), dalla massa e alimentazioni analogiche (GND_FIELD SIGNAL). U23 e U24 sono rispettivamente un oscillatore ed un amplificatore, insieme generano un clock agganciato in fase rispetto al clock di sistema per il componente programmabile. Per mezzo del trimmer R106 è possibile regolare il ritardo della fase rispetto a quella del clock di sistema che arriva dal ricevitore a fibre ottiche. La regolazione permette di sincronizzare la fase dei segnali di scansione generati dalle schede analogiche entro 1 nanosecondo.

Lo schema OPTICAL LINK rappresenta l'omonima parte dello schema a blocchi: è composto dal trasmettitore HFBR-1414 e dal ricevitore HFBR-2416. Il primo è pilotato dalle porte U15A, U15B, U16C, U15D, mentre il

secondo è collegato al comparatore veloce LT1016 (U16), che adatta il segnale ricevuto al livello compatibile con lo standard LVTTTL.

Lo schema CLOCK AND BIAS rappresenta l'omonima parte dello schema a blocchi, è formato da due convertitori digitali analogici doppi DAC8531, che generano le tensioni di riferimento necessarie per il sensore e per l'amplificatore, ci sono anche nove interruttori analogici (ADG719) che generano i segnali di clock per la scansione del quadrante. I convertitori generano una tensione a partire da un valore in ingresso fornito dai riferimenti MAX6250. V_RESET e BIAS_GATE sono le tensioni che stabiliscono rispettivamente il livello di reset dei diodi fotosensibili e la tensione per la polarizzazione dei MOSFET dello stadio di uscita al quadrante del sensore. Il loro valore è programmabile dal pc di controllo, ma va comunque a massa se non è presente il segnale BIAS_EN, che dipende dal ritorno dell'alimentazione per il quadrante del sensore. Il segnale V_RESET stabilisce il livello di tensione a cui vengono resettati i pixel, ha come effetto anche quello di cambiare la "Well Capacity" dei fotodiodi, mentre il segnale BIAS_GATE determina la polarizzazione del MOSFET in uscita dal quadrante, con il variare della polarizzazione cambia la risposta in frequenza, e di conseguenza cambia il transitorio del segnale. Entrambi sono segnali programmabili in ampiezza con risoluzione 16 bit, entrambi hanno, come effetto collaterale, quello di cambiare il livello DC dei pixel in uscita dal quadrante del sensore. Per rimuovere questa componente continua dal segnale e aumentarne la dinamica, l'amplificatore differenziale sottrae al valore dei pixel il segnale AMP_OFFSET, che viene generato da una coppia di convertitori digitali analogici, che lavorando insieme realizzano una maggior precisione e stabilità nel tempo. Tutti questi segnali sono filtrati con un filtro passa-basso di tipo RC, in particolare, per il segnale AMP_OFFSET la costante di tempo del filtro è molto lunga, dell'ordine delle decine di secondi, ragione per cui il transitorio va a regime entro un ADU dal valore finale dopo che sono trascorsi minuti. Gli interruttori analogici ADG719 generano i segnali di clock di scansione commutando il loro pin di uscita tra massa e la tensione VCC_SENSOR (+5Vs). La commutazione avviene sotto il controllo di segnali generati dal componente programmabile, gli ADG719 ne mantengono la polarità mentre adattano ampiezza e impedenza del segnale alle caratteristiche del cablaggio e del sensore. Come già accennato, (+5Vs) VCC_SENSOR è il ritorno della tensione di alimentazione del quadrante, perciò i segnali di clock esistono se (e solo se) è presente l'alimentazione del

quadrante e la Cryogenic Board la rimanda indietro attraverso tutte le connessioni del cablaggio.

Lo schema ANALOG TO DIGITAL CONVERTER descrive nel dettaglio il blocco omonimo dello schema a blocchi. La coppia di segnali differenziali e bilanciati S_IN+ e S_IN- arriva in ingresso dal cablaggio che collega questa scheda a quella criogenica, la coppia di relè K1 e K2 permette di commutare tra due filtri passa basso FIL1 e FIL2, il segnale FILTER_SEL per selezionare uno dei due filtri. Di default FIL1 è il filtro selezionato all'accensione, è un filtro differenziale del secondo ordine ottimizzato per campionare a 100KHz. La coppia di segnali filtrati arriva a una coppia di amplificatori AD8021, e poi agli ingressi del convertitore AD7674. Questo convertitore ha una tensione di riferimento regolabile al suo ingresso, in base a tale valore restituisce in uscita un dato digitale a 18 bit che è proporzionale alla differenza tra i due segnali S_IN+ e S_IN-. La tensione di riferimento dipende dai componenti MAX6225, AD8671 e dalla posizione del trimmer TRIM1, tutte e 10 le schede prodotte in Arcetri hanno la tensione di riferimento regolata a 4.60 Volt, che si traduce nel fattore di scala di 4.34 $\mu\text{V}/\text{ADU}$. I due comparatori LM2903 verificano che il valore di modo comune dei due segnali differenziali si mantenga entro una certa finestra prestabilita, se il valore medio si discosta oltre un certo limite significa che l'amplificatore criogenico non funziona correttamente. Il tempo di reazione dei comparatori è dell'ordine del μSec , i segnali in uscita attraverso gli isolatori ottici arrivano al componente programmabile, dove in tempo reale sono scritti un registro di stato interno, che può essere letto dal computer di controllo.

Lo schema POWER SUPPLY include tutti i regolatori presenti sulla scheda, sia quelli della parte digitale, sia quelli della parte analogica con i relativi circuiti di protezione. Rappresenta perciò tutte le parti dello schema a blocchi che hanno a che fare con le alimentazioni, inclusa la logica di supervisione e protezione. I regolatori della parte digitale funzionano dal momento in cui arriva la tensione preregolata dall'esterno, forniscono la 1.5V e la 3.3V riferite alla massa digitale VSS. I regolatori della parte analogica sono organizzati in cascata, secondo una sequenza che evita ai componenti di avere un segnale in ingresso quando non sono correttamente alimentati. Questo implica che la sequenza delle tensioni di alimentazione parte prima dai componenti che sono la destinazione dei segnali, e dopo dai componenti che ne sono la sorgente. Il flusso dei segnali riferiti alla massa analogica parte dal quadrante del sensore, prosegue con l'amplificatore differenziale, arriva al convertitore

analogico digitale e finisce con gli opto-isolatori. Perciò, in base alla logica di protezione dei componenti, la sequenza temporale di arrivo delle tensioni di alimentazione procede in direzione esattamente opposta: gli isolatori ottici sono alimentati per primi, per proseguire fino al quadrante del sensore che riceve l'alimentazione per ultimo.

Ogni regolatore parte con un segnale di consenso ed è controllato da una coppia di comparatori i quali verificano che la tensione generata sia entro valori ben definiti. Se la tensione è superiore al minimo consentito e inferiore al massimo ammesso, una logica cablata genera il segnale di consenso per il regolatore che segue nella sequenza di accensione. Questo meccanismo si ripete in modo identico per tutte le tensioni, tranne che per la tensione POWER, quella che alimenta il quadrante del sensore: per lei oltre al consenso della logica cablata è necessario un segnale di comando dal computer di controllo. Inoltre, per ogni tensione della parte analogica c'è un circuito fatto a transistor che funziona da memoria per le sovratensioni: se una certa alimentazione supera il valore massimo stabilito anche per solo 1 μ Sec, il circuito ricorda l'evento fino allo spegnimento di tutta l'elettronica, mentre impedisce il segnale di consenso per la generazione all'alimentazione successiva. Questo effetto memoria è una sicurezza da un lato, e un modo semplice per individuare quale alimentazione ha avuto il problema dall'altro. La funzione supervisione e controllo delle alimentazioni però non si limita a questo: per ogni tensione c'è un accoppiatore ottico dedicato che porta verso il componente programmabile un segnale il cui significato può essere "tensione presente e al valore corretto", oppure "tensione non presente al valore corretto". Il componente programmabile FPGA raccoglie tutte queste informazioni e verifica costantemente la loro presenza, quando si verifica un cambiamento lo registra in un data log delle alimentazioni, insieme ad una informazione temporale ricavata da un orologio interno. Questi dati sono organizzati in una memoria di tipo FIFO (First In First Out) e possono essere letti dal computer di controllo, così diventa immediato vedere quale tensione ha avuto problemi, perché è quella che, in virtù del meccanismo di protezione, sparisce per prima ed è perciò il primo dato che viene letto dalla memoria.

In dettaglio, quando la scheda viene alimentata succede questa catena di eventi: per prime arrivano le tensioni digitali, quando sono stabili a regime il componente FPGA legge il file di programmazione dal componente di configurazione, appena il componente programmabile si è configurato

genera il segnale di consenso POWER_EN. Con questo segnale, trasportato dal H11G1 (ISO2) nella zona di massa analogica, si chiude il PHOTOMOS2 (AQY272) ed il regolatore U32 genera la tensione VCC_OPTO per gli optoisolatori. I comparatori LM2903 (U34A e U34B) verificano che la tensione sia compresa fra 4.8 e 5.2V, se la tensione è all'interno di tali valori entrano in conduzione ISO1 e ISO4. ISO4 riporta verso il componente programmabile l'informazione che la VCC_OPTO è presente e al valore corretto, mentre ISO1 porta il segnale di consenso per generare la tensione +5V, che alimenta il convertitore analogico digitale ed altri componenti al contorno. Se la tensione VCC_OPTO dovesse superare, anche per pochi μ Sec, la soglia di 5.2V il comparatore U34A farebbe andare il transistor Q7 in interdizione, causando l'apertura del PHOTOMOS2 e di conseguenza la scomparsa di VCC_OPTO. Q6 e Q7 sono collegati in modo da funzionare come un multivibratore bistabile: se si verifica una sovratensione vanno nella situazione Q6 saturo e Q7 interdetto, e li rimangono fino a quando la scheda è alimentata. La stessa logica si ripete per la tensione +5V che alimenta il convertitore analogico digitale. Essa riceve il segnale di consenso da ISO1, che fa chiudere PHOTOMOS1, da quel momento il regolatore U31 genera la +5V per il convertitore. U33A e U33B controllano che la tensione sia compresa fra 4.8V e 5.2V, se il valore è corretto ISO3 e ISO5 entrano in conduzione. Mentre ISO3 riporta verso il componente programmabile che la tensione è presente e al valore corretto, ISO5 fornisce il consenso alla logica che genera la tensione +VA (9Volt). Anche per la +5V c'è il controllo per la sovratensione, in questo caso il flip-flop che commuta è formato da Q4 e Q5. Se la tensione +VA è al giusto valore ISO8 riporta l'informazione verso il componente programmabile, mentre ISO6 porta il consenso alla parte elettronica che genera la -VA (-3Volt). Queste due tensioni forniscono l'alimentazione agli amplificatori della scheda e anche all'amplificatore montato vicino al sensore che funziona alla temperatura dell'azoto liquido. Se la tensione negativa è presente e al giusto valore ISO7 e ISO9 sono in conduzione, il primo riporta l'informazione "tensione presente e al valore corretto" verso il componente programmabile, il secondo costituisce uno dei segnali di consenso per generare le tensioni BIAS_POWER e POWER, che servono per alimentare il quadrante del sensore. Data la logica di funzionamento, la presenza della tensione -VA conferma che le tutte le altre alimentazioni sono presenti, sono al corretto valore e non si sono verificati superamenti di soglia per nessuna di esse, dunque in linea di principio l'alimentazione del quadrante potrebbe avere luogo. In realtà per questa

tensione c'è bisogno anche di un altro segnale di consenso, si tratta del segnale `SENSOR_EN` che arriva attraverso ISO10 dal componente programmabile FPGA e che funziona in AND logico con quello di consenso dalla `-VA`. Il segnale `SENSOR_EN` costituisce una ridondanza nella sicurezza, ma è anche il modo usato per fare le acquisizioni con il sensore spento. La protezione è affidata ai comparatori U42A e U42B, la memoria per l'eventuale sovratensione è nel flip-flop formato da Q12 e Q13, mentre ISO11 riporta verso il componente programmabile il segnale `OK_VCC_SENSOR`. Per questa alimentazione la verifica non viene fatta all'uscita del regolatore, ma solo dopo che è andata e tornata dalla scheda criogenica. Il segnale di andata è `POWER`, quello di ritorno è `VCC_SENSOR SENSE`, da questo segnale viene prelevato il segnale `VCC_SENSOR`, che fornisce il livello alto per i clock di scansione. Se il valore dell'alimentazione è corretto, viene messo in conduzione ISO12, che saturando fa passare la tensione `+VA` sul segnale `BIAS_EN`, dal quale vengono ricavate le tensioni `V_RESET` e `BIAS_GATE` per il quadrante. Se la Analog Board non riceve indietro l'alimentazione del sensore (`VCC_SENSOR_SENSE`) i segnali di `CLOCK` commutano tra la massa e una resistenza collegata verso massa, mentre i segnali di `BIAS` (`V_RESET` e `BIAS_GATE`) vanno a 0Volt, perché manca l'alimentazione `BIAS_EN` per il riferimento di tensione U11 MAX6250.

Figura 4 : SCHEMA OPTOISOLATOR

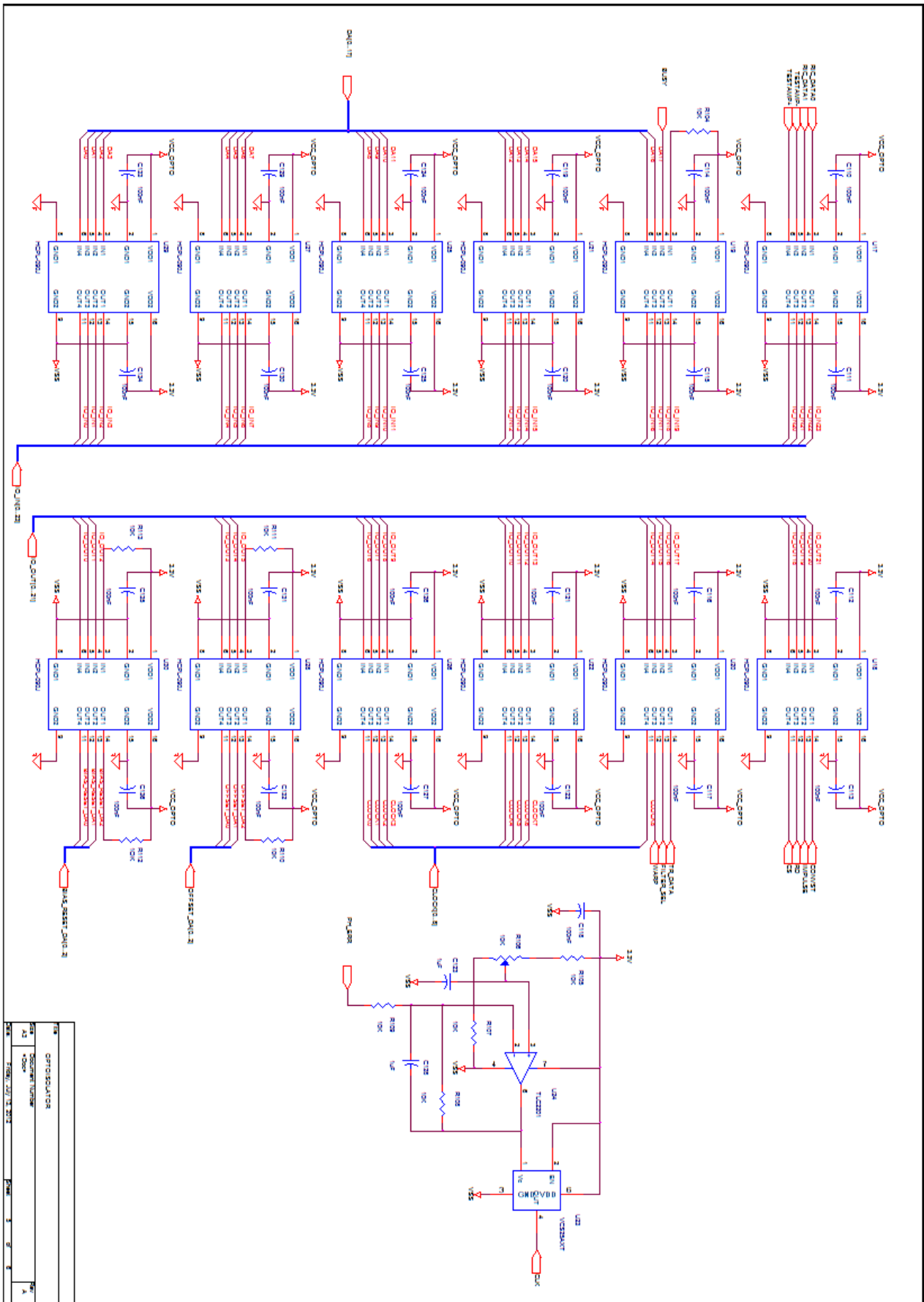
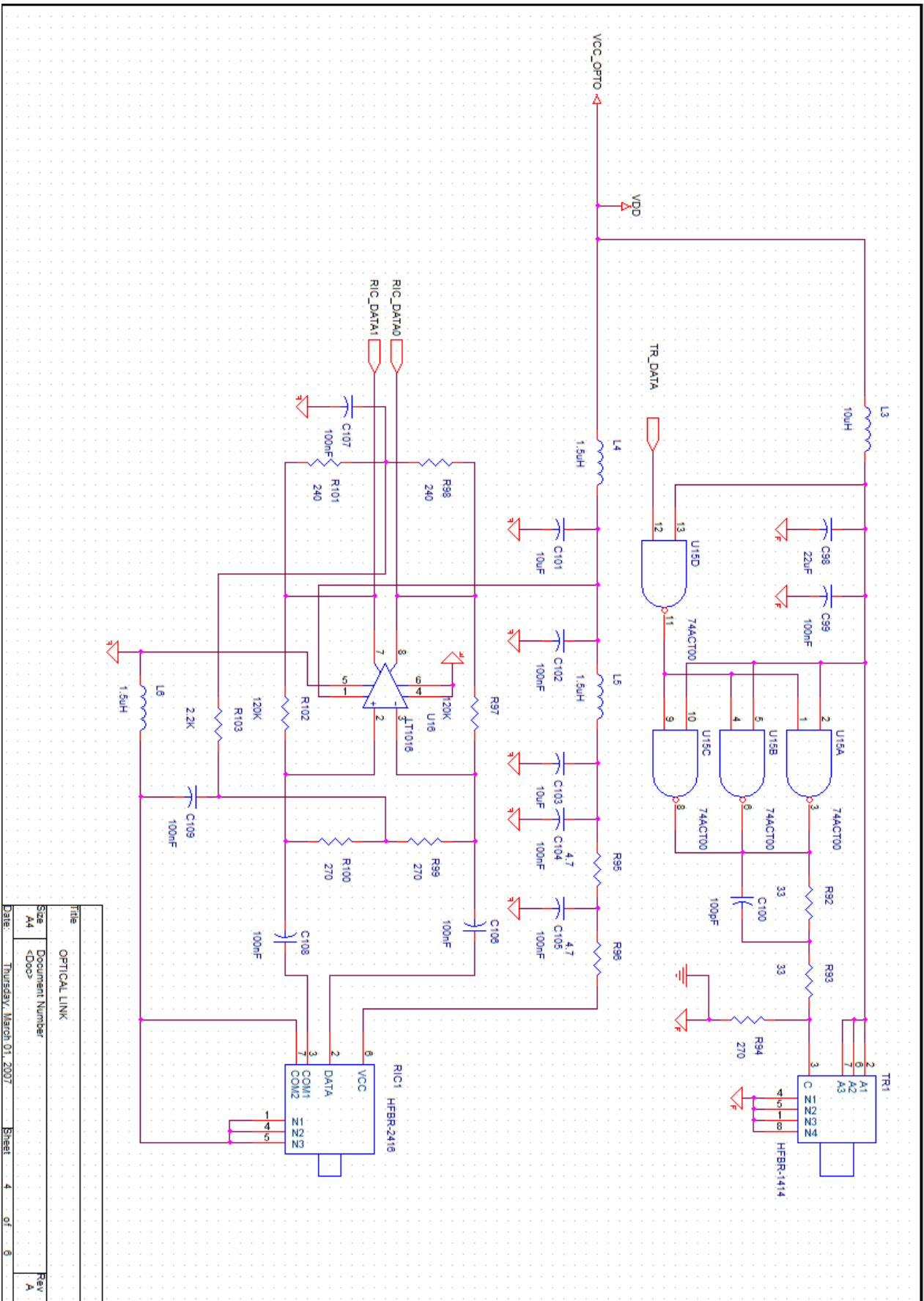


Figura 5 : SCHEMA OPTICAL LINK



File	OPTICAL LINK
Size	44
Document Number	<Doc>
Date	Thursday, March 01, 2007
Sheet	4 of 6
Rev	A

Figura 6: SCHEMA CLOCK AND BIAS

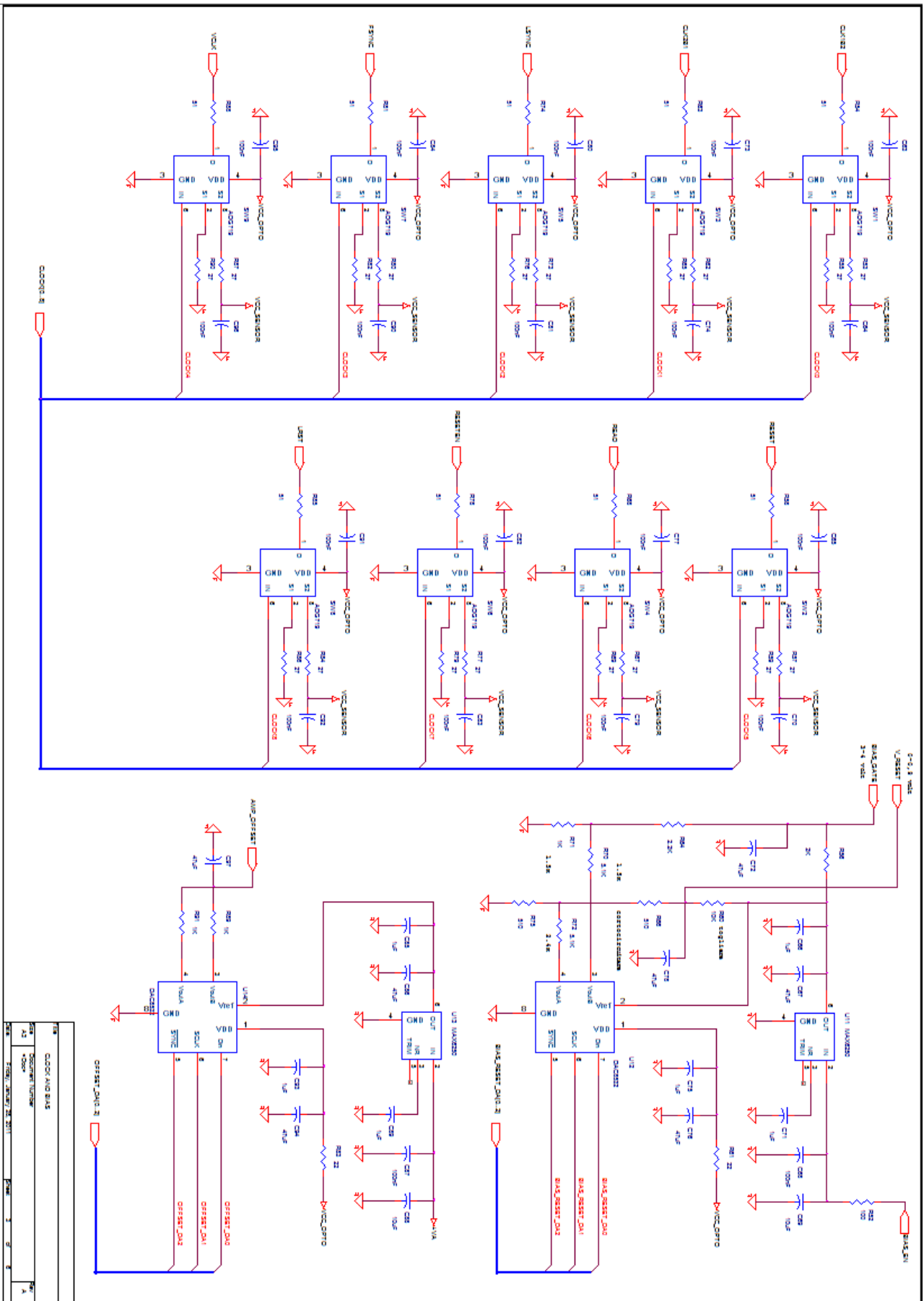


Figura 7: SCHEMA ANALOG TO DIGITAL CONVERTER

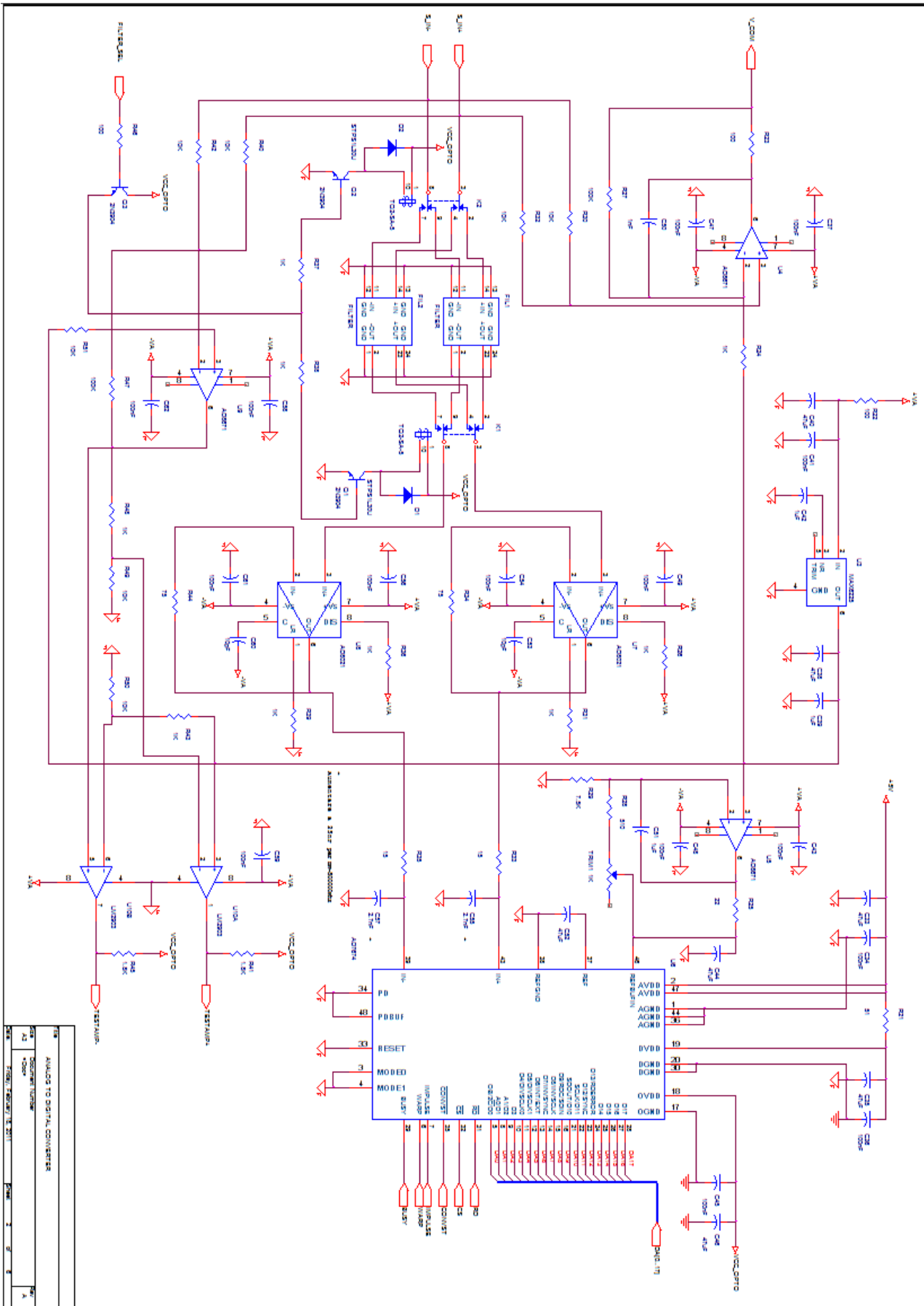


Figura 8: SCHEMA POWER SUPPLY

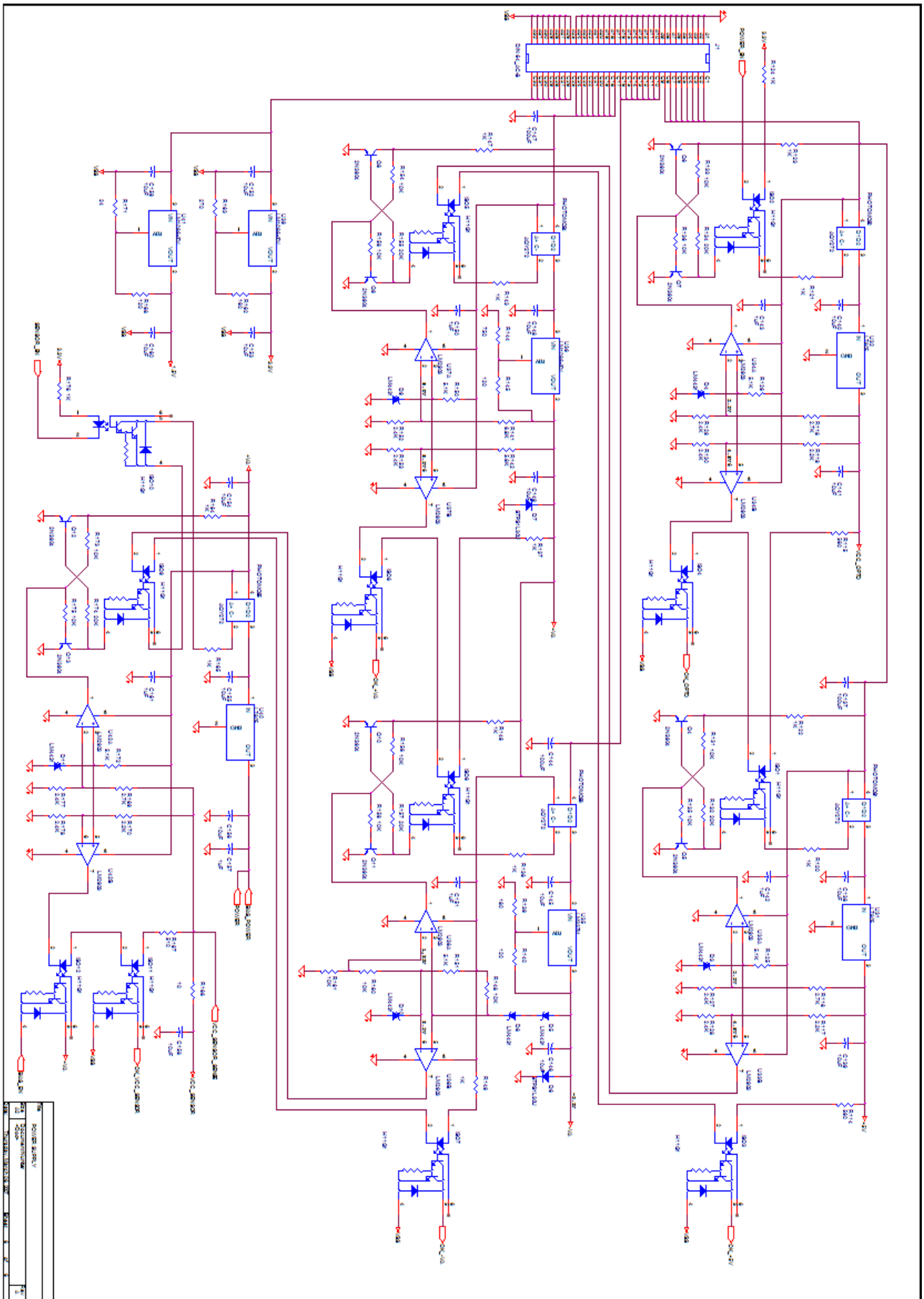
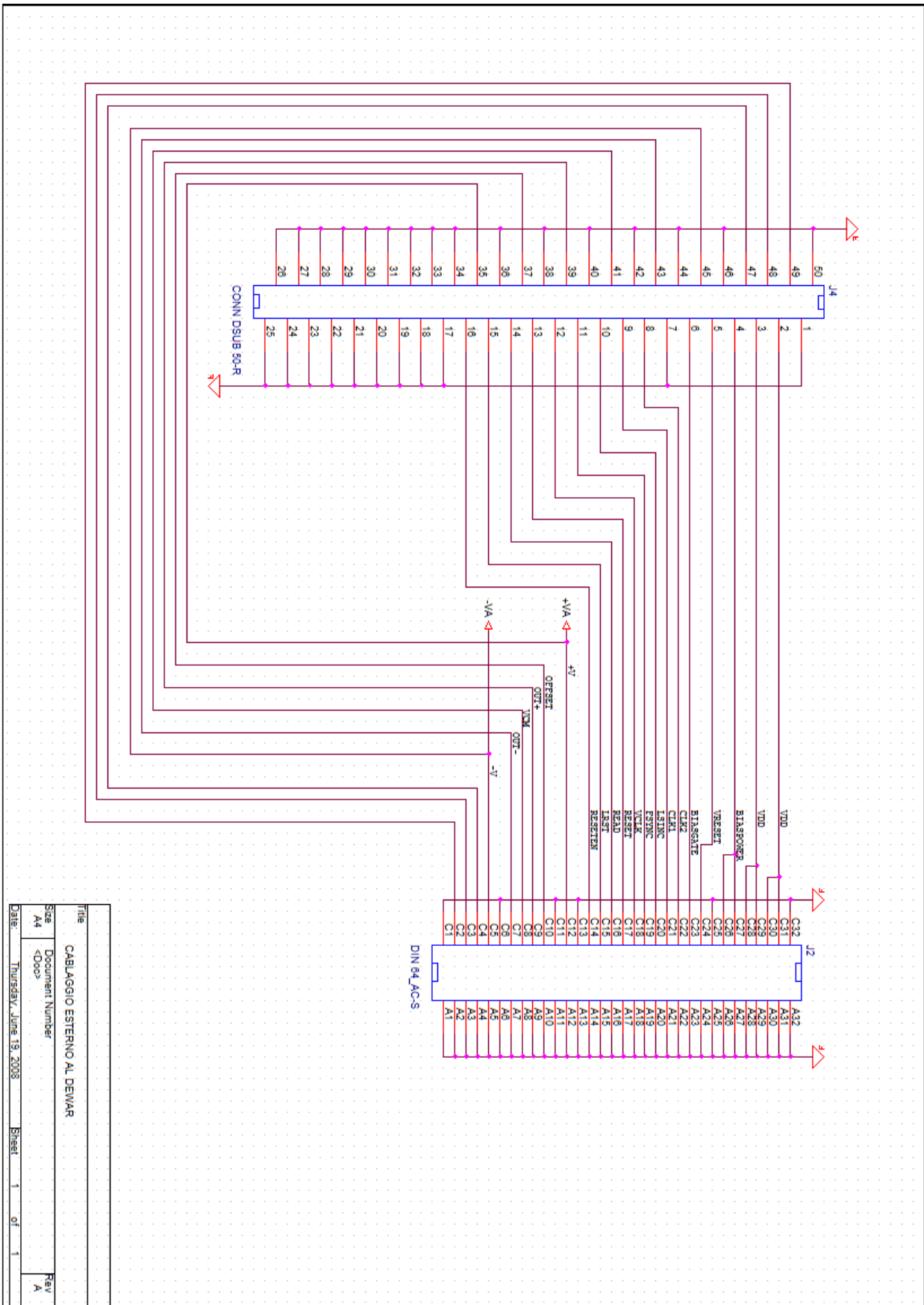


Tabella 1: Lista dei componenti principali e relativa documentazione.

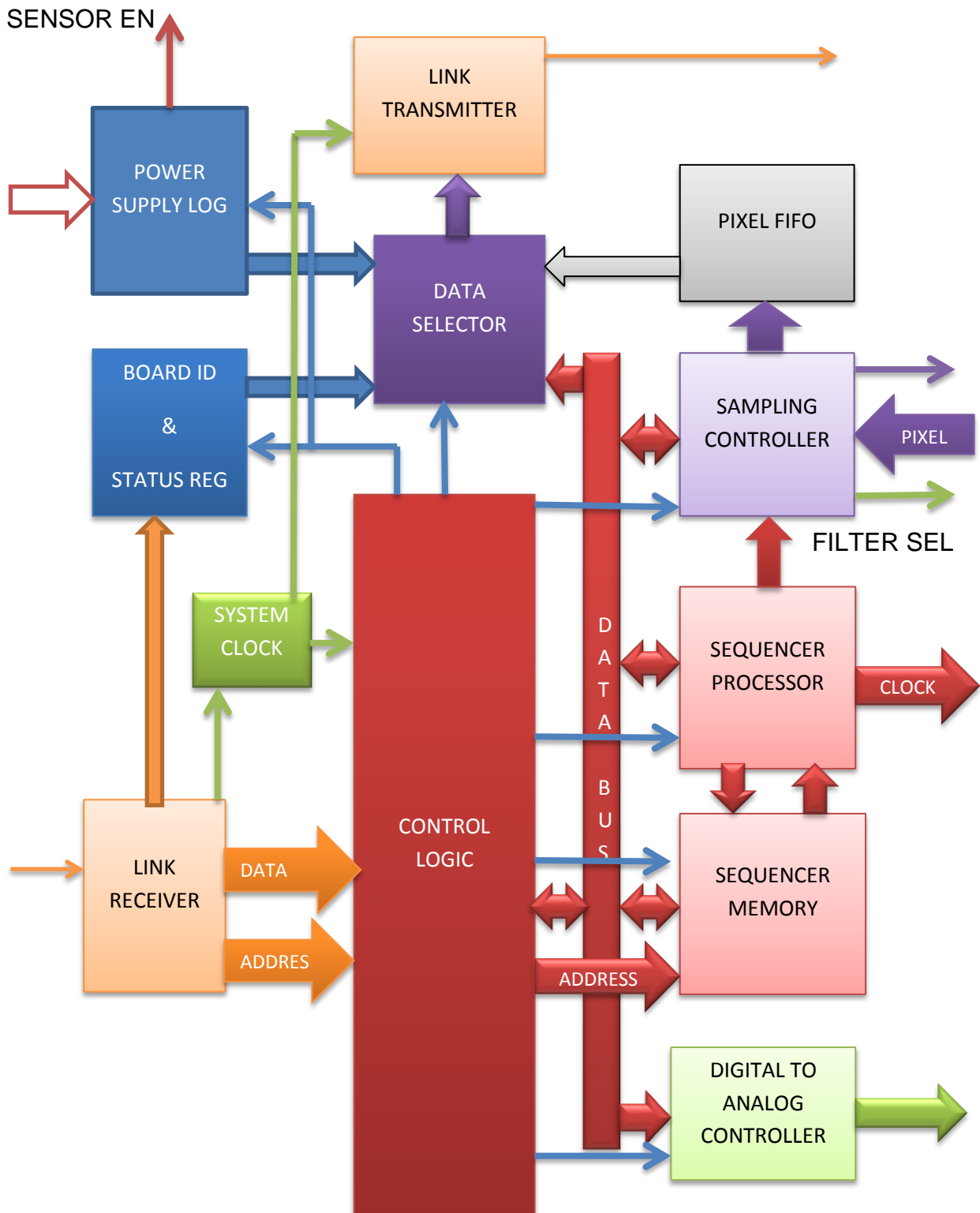
SIGLA COMPONENTE	DOCUMENTAZIONE
PHOTOMOS AQY272	http://docs-europe.electrocomponents.com/webdocs/0cce/0900766b80cce32a.pdf
HFBR-2416	http://docs-europe.electrocomponents.com/webdocs/04e6/0900766b804e66d6.pdf
HFBR-1414	http://docs-europe.electrocomponents.com/webdocs/04e6/0900766b804e66d6.pdf
VCS25AXT-163	http://docs-europe.electrocomponents.com/webdocs/0360/0900766b8036077d.pdf
EP1C6Q240I7N	http://docs-europe.electrocomponents.com/webdocs/077b/0900766b8077b79d.pdf
EPC4PC100	http://docs-europe.electrocomponents.com/webdocs/077a/0900766b8077aa7f.pdf
LT1016CS8	http://docs-europe.electrocomponents.com/webdocs/078f/0900766b8078f495.pdf
AD8671	http://www.analog.com/static/imported-files/data_sheets/AD8671_8672_8674.pdf
AD8021	http://www.analog.com/static/imported-files/data_sheets/AD8021.pdf
AD7674	http://www.analog.com/static/imported-files/data_sheets/AD8021.pdf
LM2903	http://www.ti.com/lit/ds/symlink/lm2903.pdf
MAX6225	http://datasheets.maxim-ic.com/en/ds/MAX6225-MAX6250.pdf
MAX6250	http://datasheets.maxim-ic.com/en/ds/MAX6225-MAX6250.pdf
DAC8532	http://www.ti.com/lit/ds/sbas246a/sbas246a.pdf
ADG719	http://www.analog.com/static/imported-files/data_sheets/ADG719.pdf
HCPL-090J	http://www.datasheetcatalog.org/datasheet2/6/0e9uss32dtsdws65xoudgz65dafy.pdf
TLC2201	http://www.ti.com/lit/ds/symlink/tlc2201-sp.pdf
LM4431	http://www.ti.com/lit/ds/symlink/lm4431.pdf
H11G1	http://docs-europe.electrocomponents.com/webdocs/0028/0900766b80028837.pdf
2N3904	http://www.fairchildsemi.com/ds/2N/2N3904.pdf

Figura 9: Cablaggio esterno al Dewar



Dentro il componente programmabile FPGA

Figura 10: Schema a blocchi delle logiche interne al componente programmabile



Tutte le funzioni logiche rappresentate in questo schema a blocchi sono state implementate con il linguaggio di programmazione VHDL, e con moduli parametrizzabili delle librerie a corredo del software QUARTUS di ALTERA.

La logica LINK RECEIVER lavora con un clock 8x (131MHz), ottenuto per mezzo di un PLL interno al componente programmabile FPGA, che consente di campionare e decodificare il flusso dei dati seriali rilevati dal ricevitore a fibre ottiche. Il protocollo usato nella comunicazione a fibre ottiche è stato pensato per permettere la trasmissione simultanea dei dati e di un clock di riferimento. Il flusso dei dati è 16 mega bit al secondo, non è veloce se confrontato con lo stato dell'arte attuale, ma è adeguato alle caratteristiche del sensore, che non permette la lettura dei pixel a più di 500khz, il che equivale a circa 8 mega bit al secondo. Oltre al flusso dei dati a 16 mega bit c'è la presenza costante di un riferimento temporale a 16.384 MHz, il clock di sistema fornito dalla Interface Board, che permette di sincronizzare le 4 schede Analog Board tra di loro. La presenza costante del clock permette anche di effettuare una serie di verifiche sul segnale ricevuto e di stabilire perciò se il link funziona correttamente. Ogni passo del clock ricevuto dal link viene verificato dalla logica del LINK RECEIVER in modo minuzioso, tant'è che anche un solo passo non conforme viene rivelato e segnalato. Gli errori vengono trattati in modo diverso in funzione della loro gravità: un errore rilevato durante la ricezione di un dato o un comando è causa di conseguenze più importanti rispetto ad un errore sul clock di sistema, in ogni caso la gravità dipende anche dalla frequenza di ripetizione: più gli errori sono frequenti più sono ritenuti gravi. Il singolo errore sul clock di sistema genera il segnale LINK_ERROR, il quale a sua volta fa incrementare di 1 un contatore di errori. L'errore durante la ricezione di un dato genera il segnale DATA_ERROR, il dato ricevuto viene scartato perché non affidabile. Sia il contatore di errori che i segnali LINK_ERROR e DATA_ERROR sono accessibili con una operazione di lettura del PC104. Inoltre, c'è una verifica continua del tasso di ripetitività degli errori, se la frequenza di ripetizione è zero, la logica pone a '1' logico il segnale LINK_OK. La negazione di questo segnale indica ovviamente che il link non funziona in modo affidabile, o il link non funziona per niente, per guasto grave o fibra non collegata. LINK_OK è un segnale che può essere letto dal pc di controllo solo se al livello logico '1': visto che tutte le comunicazioni avvengono attraverso le fibre ottiche, la sua negazione non può essere comunicata se il mezzo di trasporto è guasto. L'unico modo per dedurre che il link a fibre ottiche non funziona correttamente è stabilire un anello in cui il clock parte dalla Interface Board, arriva alla Analog Board e da questa ritorna indietro. Chiaramente, se qualcosa del percorso non funziona, la Interface Board non riceve l'eco e segnala questa anomalia al PC104. In dettaglio, quando la logica del LINK

RECEIVER rileva che il tasso di errori supera una soglia critica, pone a '0' logico il segnale LINK_OK, questo obbliga il blocco LINK TRANSMITTER a non trasmettere, di conseguenza la Interface Board, non rilevando l'eco del clock di sistema, deduce che il link non lavora. A questo meccanismo vanno attribuite le segnalazioni di errore che si verificano all'accensione dell'elettronica di acquisizione, non si tratta di guasto ma piuttosto sono la conseguenza del fatto che le tensioni di alimentazione non si attivano contemporaneamente in tutto il sistema: la Interface Board prende l'alimentazione dalla scatola che la ospita, mentre le Analog Board ricevono delle tensioni preregolate da un alimentatore esterno. Alla Interface Board torna indietro l'eco del clock di sistema solo dopo che la Analog Board è accesa e ha avuto il tempo per verificare che il suo link funziona correttamente, durante questa fase transitoria la parte elettronica che si attiva prima rileva l'errore e lo segnala.

Tabella 2: Codifica dei dati ricevuti per un comando di lettura.

0	0	1	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	1	1
---	---	---	-----	----	----	----	----	----	----	----	----	----	----	---	---

La serie di dati inizia con due bit al livello '0', poi il terzo dato trasmesso è un '1', che significa operazione di lettura, seguono 11 bit di indirizzo, dal più al meno significativo. La sequenza termina con due bit al livello '1'. La stringa di bit da A10 al A0 copia esattamente i bit del bus indirizzi EISA da SA11 a SA1, in pratica il componente programmabile FPGA della Interface Board fa lo shift di un bit rispetto al bus, per tener conto del fatto che il bit meno significativo perde valore e significato lavorando a 16 bit.

Tabella 3: Codifica dei dati ricevuti per un comando di scrittura.

0	0	0	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	D15	D14
D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	1	1

Anche in questo caso la serie di dati inizia con due bit al livello '0', il terzo bit ricevuto stavolta è uno '0', che significa operazione di scrittura, seguono 11 bit di indirizzo, dal più significativo (A10) al meno significativo

(A0), poi ci sono 16 bit di dato in ordine decrescente di peso. Due bit al livello '1' completano e chiudono la sequenza dei dati ricevuti. Se durante la ricezione dei dati, il LINK RECEIVER verifica la presenza di un errore, lo segnala su un registro interno e scarta il dato ricevuto; se invece il processo di ricezione ha terminato con successo l'operazione, la logica LINK RECEIVER comunica al blocco CONTROL LOGIC l'informazione che un nuovo dato è arrivato, trasferendo indirizzo ed eventualmente il dato, in caso di scrittura.

Il blocco CONTROL LOGIC decodifica i dati pervenuti dalla logica LINK RECEIVER, li interpreta e li indirizza verso i blocchi logici destinazione.

Tabella 4: Mappa indirizzi di scrittura e comandi.

INDIRIZZO	MNEMONICO	DESCRIZIONE
Da 000 a 3FF	SEQUENCER MEMORY	SCRIVE IN MEMORIA DEL SEQUENCER
401	SEQUENCER ABORT	RESET IMMEDIATO DEL SEQUENCER
404	SUPPLY LOG RESET	RESET DELLA MEMORIA DI LOG DELLE ALIMENTAZIONI
405	VRESET	SCRIVE IL VALORE VRESET
406	VBIAS	SCRIVE IL VALORE VBIAS
409	OFFSET A	SCRIVE IL VALORE DI OFFSET A
40A	OFFSET B	SCRIVE IL VALORE DI OFFSET B
40C	SEQUENCER START	COMANDO, FA PARTIRE IL SEQUENCER
40D	SEQUENCER STOP	COMANDO, FERMA IL SEQUENCER
40E	POWER ON	ALIMENTA IL QUADRANTE DEL SENSORE
40F	POWER OFF	SPEGNE IL QUADRANTE DEL SENSORE
410	FILTER A	SELEZIONA IL FILTRO PASSA BASSO A
411	FILTER B	SELEZIONA IL FILTRO PASSA BASSO B
413	FSYNC	SCRIVE I PARAMENTRI DEL FRAME SYNC
414	LSYNC	SCRIVE I PARAMETRI DEL LINE SYNC
415	STOP ON C.I.	FERMA IL SEQUENCER DOPO CHE HA ESEGUITO L'ISTRUZIONE CORRENTE
416	RESETEN	SCRIVE PARAMETRI DI RESETEN E RESET
ALTRI	ERR	ERRORE DI INDIRIZZAMENTO

Tabella 5 : Mappa degli indirizzi di lettura.

<i>INDIRIZZO</i>	<i>MNEMONICO</i>	<i>DESCRIZIONE</i>
Da 000 a 3FF	SEQUENCER MEMORY	LEGGE DALLA MEMORIA DEL SEQUENCER
400	READ STATUS	LEGGE IL REGISTRO DI STATO
402	READ LOG LEN	LEGGE QUANTI DATI CI SONO NELLA MEMORIA DI LOG DELLE ALIMENTAZIONI
403	READ LOG	LEGGE DALLA MEMORIA I DATI DI LOG DELLE ALIMENTAZIONI
408	READ PROG COUNTER	LEGGE IL PROGRAM COUNTER DEL SEQUENCER
40B	READ ADC	LEGGE DIRETTAMENTE I DATI DAL CONVERTITORE ANALOGICO DIGITALE
412	READ BOARD ID	LEGGE CODICE IDENTIFICATIVO DI SCHEDA
ALTRI	ERR	ERRORE DI INDIRIZZAMENTO

Le operazioni di lettura e scrittura effettuate ad indirizzi diversi da quelli tabulati e indicati con “ALTRI” nelle tabelle 4 e 5 non hanno alcun effetto, se non quello di generare un segnale di errore di indirizzamento, si tratta di una funzione implementata per i test del sistema in laboratorio. Le 1024 locazioni di memoria mappate nella parte compresa fra 000H e 3FFH corrispondono alla memoria di programma del Sequencer, si tratta di una memoria RAM interna al componente programmabile FPGA sulla quale il pc di controllo può eseguire operazioni di scrittura e di lettura.

Il Sequencer è un processore dedicato alla generazione di segnali, è una macchina a stati logici progettata al fine di generare tutti i clock di scansione per la gestione del quadrante del sensore; come processore è in grado di effettuare programmi di acquisizione eseguendo le istruzioni che trova scritte dentro la memoria. A differenza dei processori tradizionali non esegue operazioni di tipo logico aritmetico, non gestisce i segnali di interrupt dall'esterno, ma ha il program counter e una sua logica di controllo che risponde ai comandi dall'esterno, sostanzialmente quelli che il blocco CONTROL LOGIC decodifica come tali. I comandi che il pc di controllo può inviare al Sequencer sono quattro: START, STOP, ABORT e STOP ON C.I.. START è il comando che fa partire il processore, ABORT, STOP e STOP ON C. I. lo fanno fermare, seppure con modalità diverse. ABORT è sostanzialmente un reset, che blocca immediatamente le operazioni all'istante e contemporaneamente inizializza tutti i registri del processore.

STOP ON C. I. (Current Instruction) fa fermare il Sequencer appena ha terminato l'esecuzione dell'istruzione in corso, STOP fa fermare il Sequencer quando il programma scritto nella memoria finisce, ossia quando il esegue l'istruzione RESTART. Questa è una istruzione di salto, si tratta però di un salto condizionato perché il programma riparte dall'inizio se nel frattempo non è arrivato il comando di STOP. Oltre ai comandi ci sono operazioni di input e output sulla memoria di programma e la possibilità di leggere un registro con il comando READ PROG COUNTER, con il quale il PC104 può conoscere lo stato del Sequencer e la sua fase operativa.

Tabella 6: registro PROG COUNTER, indirizzo 408H

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
N_S	S_R	R_R	SHR	INT	EXP	PC9	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0

La tabella 6 mostra come i dati sono inseriti nel bus D0 – D15. I 10 bit meno significativi, da D0 a D9 accolgono i dati da PC0 a PC9, essi rappresentano la configurazione del Program Counter, in pratica si tratta di un numero che indica l'indirizzo della memoria verso il quale punta il Program Counter del Sequencer al momento della lettura. In D10 c'è il segnale EXP, che va al livello '1' quando il Sequencer sta generando i segnali per la scansione degli extra pixel. In D11 c'è il segnale INT, che è al livello logico '1' per indicare che il Sequencer sta eseguendo l'istruzione di integrazione sul quadrante del sensore. In D12 trova posto il segnale SHR, che va al livello logico '1' quando il Sequencer genera i segnali che provocano (istruzione Short Reset) il reset veloce del quadrante. In D13 c'è il segnale R_R, che è al livello logico '1' quando il Sequencer genera i segnali per eseguire la lettura durante il reset del quadrante (istruzione READ RESET). In D14 c'è il segnale S_R, che va al livello logico '1' per indicare che il Sequencer sta generando i segnali di scansione e acquisisce il segnale generato dal quadrante (Sample Read). In D15 c'è il segnale N_S, che è al livello logico '1' per indicare che il Sequencer non sta campionando (No Sample) il segnale.

Il comando READ BOAD ID, permette di leggere un numero che identifica in modo univoco quale scheda è associata ad un certo canale di acquisizione, più altre informazioni sulla presenza o meno di errori rilevati dal

ricevitore del link a fibre ottiche. Sono state prodotte 10 schede Analog Board, ognuna ha un codice individuale compreso fra 1 e 10.

Tabella 7: registro READ BOARD ID, indirizzo 412H

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
ID3	ID2	ID1	ID0	DER	CE10	CE9	CE8	CE7	CE6	CE5	CE4	CE3	CE2	CE1	CE0

La tabella 7 illustra l'allineamento dei dati del registro rispetto al bus D0–D15. I dati ID0 – ID3 sono inseriti nelle posizioni da D12 a D15, essi rappresentano un codice, diverso da scheda a scheda, che identifica in modo univoco una Analog Board. con questa lettura il PC 104 conosce quali sono le 4 schede che stanno funzionando nel rack. In D11 c'è il segnale DER (Data ERror), il quale indica se c'è stato un errore nel link a fibra ottica durante la ricezione di un dato. Si tratta di un segnale con logica campiona e mantieni, nel senso che esso va al livello logico '1' appena l'errore viene rilevato, e si mantiene fino al completamento del comando di lettura. Il suo significato può essere definito così: "dalla lettura precedente si è verificato almeno un errore nella ricezione dei dati". Nella sezione compresa fra D0 e D10 del bus trovano posto i bit compresi tra CE0 e CE10, che sono le uscite del contatore di errori del link a fibra ottica. Ricordiamo che ogni passo del clock di sistema viene verificato, e se non risulta corretto, la logica LINK RECEIVER fa incrementare di uno il contatore di errori. Tale contatore si azzerava automaticamente quando la lettura del registro è terminata, perciò il numero letto sul registro indica quanti errori si sono verificati dalla lettura precedente: è un meccanismo di valutazione sempre attivo durante il funzionamento dell'elettronica di acquisizione, che permette di stabilire in tempo reale la qualità delle trasmissioni e anche il Bit Error Rate del link.

Il comando READ ADC (indirizzo 40B), permette di leggere i dati campionati dal convertitore analogico digitale direttamente su richiesta del PC104. La conversione è seguita dall'invio dei dati, che vanno direttamente sul bus EISA, senza passare nella memoria della Interface Board, come invece avviene per il campionamento dei pixel. Fatte le debite proporzioni per la frequenza di campionamento, questa funzione fa lavorare l'elettronica di Giano come un generico sistema di acquisizione o data logger.

Il comando READ STATUS permette di leggere un registro nel quale sono raccolte informazioni che descrivono lo stato e gli errori eventualmente rilevati durante il funzionamento della scheda.

Tabella 8: registro READ STATUS, indirizzo 400H.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
FILT	SGO	ERC	ERB	ERA	TAP	TAN	ERD	ERC	ERB	ERA	VS	-VA	+VA	+5V	VCC

La tabella 8 indica l'allineamento dei segnali interni al registro rispetto al bus D0 – D15. Al livello del bit meno significativo c'è il segnale VCC, il quale indica che la VCC_OPTO è presente al valore corretto se il suo livello logico è '0'. Alla posizione D1 c'è il segnale +5V, il quale indica che la tensione (+5V) di alimentazione per il convertitore analogico digitale è presente al valore corretto, se il suo livello logico è '0'. Alla posizione D2 c'è il segnale +VA, il quale indica che la tensione positiva (+VA), per l'amplificatore criogenico e altri amplificatori della scheda, è presente e al valore corretto, se il suo livello logico è '0'. Alla posizione D3 c'è il segnale -VA, il quale indica che la tensione negativa (-VA) di alimentazione per l'amplificatore criogenico e altri dispositivi sulla scheda, è presente e al valore corretto, se il suo livello logico è '0'. Alla posizione D4 c'è il segnale VS, se il suo livello logico è '0', indica che il ritorno della tensione di alimentazione del quadrante è presente e al valore corretto. Nella posizione D5 e D11 è allocato il segnale ERA (ERrore convertitore digitale analogico A), che sale al livello logico '1' se la macchina di stati che gestisce i convertitori ha rilevato un errore durante la generazione delle tensioni di riferimento VBIAS e VRESET. Nella posizione D6 e D12 è allocato il segnale ERB (ERrore convertitore digitale analogico B), che sale al livello logico '1' a causa di un errore rivelato dalla macchina di stati che gestisce i convertitori dai quali esce la tensione di riferimento V_OFFSET. Nella posizione D7 e D13 è allocato il segnale ERC, che sale al livello logico '1', e si mantiene fino al completamento della lettura, se il blocco CONTROL LOGIC ha riconosciuto un comando ad un indirizzo sbagliato, cioè diverso da quelli mappati nelle tabelle 4 e 5 (alla voce ALTRI). Nella posizione D8 c'è il segnale ERD, che sta al livello logico '1' quando la logica di controllo del convertitore analogico digitale ha riscontrato un errore. Nelle posizioni D9 e D10 ci sono i segnali TAN e TAP, questi segnali dipendono dai segnali TESTAMP- e TESTAMP+, che sono generati dai

comparatori U10A e U10B quando l'amplificatore criogenico non funziona correttamente. Sul bit D14 c'è copia del segnale Sequencer Go, quando è al livello logico '1' indica che il Sequencer inizia a lavorare. Infine, sul bit D15 c'è il segnale FILT, che indica quale filtro è stato selezionato: il livello '0' indica filtro A (il default a 100KHz), mentre il livello logico '1' indica la selezione per il filtro B.

READ LOG e READ LOG LEN sono due operazioni di lettura che interagiscono col blocco POWER SUPPLY LOG, la prima legge i dati nella memoria log delle alimentazioni, la seconda permette di conoscere quanti dati sono presenti.

Tabella 9: registro LOG LEN, indirizzo 402H.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0	L7	L6	L5	L4	L3	L2	L1	L0

La memoria di log è composta da 256 locazioni a 16 bit, dunque per indicare quanti valori sono presenti sono sufficienti 8 bit, da L0 a L7 allineati con i bit meno significativo del bus. I bit da D8 a D15 sono al livello '0'.

Tabella 10: registro READ LOG, indirizzo 403H.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
VS	-VA	+VA	+5V	VCC	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0

Nella memoria di log vengono scritte informazioni sul cambiamento di stato delle alimentazioni, solo l'arrivo o la scomparsa di una tensione di alimentazione viene registrato, inoltre a questo evento viene associata anche una informazione di tempo. L'informazione sulle alimentazioni è scritta nelle posizioni da D11 a D15 (vedi Tabella10), mentre nelle posizioni comprese fra D0 e D10 c'è un dato ricavato da un orologio interno al componente programmabile; per convenzione la tensione di alimentazione è presente se il livello logico del segnale corrispondente è '0', mentre il bit T0 corrisponde ad 1/4000 di secondo, di conseguenza la dinamica del contatore è circa 0.5 secondi. Il contenuto della memoria viene azzerato con il comando SUPPLY LOG RESET, all'indirizzo 404H.

Il blocco POWER SUPPLY LOG racchiude tutte le funzioni logiche che da un lato si interfacciano con la parte delle alimentazioni già descritta dal

punto di vista hardware, e dall'altro lato gestiscono la memoria che contiene il log delle alimentazioni. In dettaglio, il blocco è formato da una parte che acquisisce continuamente i segnali generati dal blocco POWER SUPPLY SUPERVISOR, si tratta di segnali generati dai comparatori che confrontano le tensioni di alimentazione con soglie prestabilite; essi arrivano al componente programmabile per mezzo degli accoppiatori ottici H11G1, indicano "tensione presente e al valore corretto" quando stanno al livello '0'. Durante il funzionamento dell'elettronica di acquisizione il blocco POWER SUPPLY LOG confronta continuamente lo stato attuale dei segnali con quello precedente, quando trova che la configurazione è cambiata, registra nella memoria di log la nuova configurazione e il suo riferimento temporale. All'accensione della scheda questo blocco registra la comparsa delle tensioni di alimentazione secondo la sequenza prestabilita e descritta in dettaglio nella parte hardware (VCC_OPTO, +5V, +VA, -VA), con la stessa logica registra pure la comparsa della tensione di alimentazione del quadrante (OK_VCC_SENSOR). Questa è la normale conseguenza del transitorio all'accensione, altre registrazioni possono avvenire quando il quadrante viene acceso o spento su comando del PC104, oppure possono avvenire quando un regolatore di tensione si guasta. In tal caso anche le tensioni che per la sequenza di accensione sono "a valle" spariscono, perché non ricevono più il segnale di consenso. Tutta questa serie di eventi viene registrata nella memoria di log, il primo dato ad essere scritto e letto è appunto la tensione che ha subito il guasto, perché sparisce per prima. Infine, il blocco logico POWER SUPPLY LOG riceve i comandi POWER ON (indirizzo 40EH) e POWER OFF (indirizzo 40FH) dal blocco CONTROL LOGIC e con essi genera il segnale SENSOR EN, che è l'abilitazione necessaria per far partire l'alimentazione del quadrante.

Il blocco DIGITAL TO ANALOG CONTROLLER è una macchina di stati che gestisce gli ingressi seriali dei convertitori digitali analogici. Riceve in ingresso i dati che servono per generare le tensioni di BIAS e VRESET del quadrante, o le tensioni di OFFSET per l'amplificatore del segnale. Sono dati a 16 bit e corrispondono agli indirizzi 405H (VRESET), 406H (VBIAS), 409H e 40AH (OFFSET A e OFFSET B). I segnali OFFSET A e OFFSET B sono sommati tra loro con un partitore resistivo, dal quale esce un valore medio, il segnale di OFFSET che va all'amplificatore criogenico. Tutti questi segnali sono statici, tipicamente rimangono stabili al loro valore programmato fino a che il quadrante è alimentato. Se il quadrante non viene alimentato, ad

esempio per effettuare le acquisizioni a sensore spento, i segnali VBIAS e VRESET vanno a massa per il meccanismo di protezione cablata descritto in precedenza, ma ritornano automaticamente al valore programmato (senza bisogno di un comando di scrittura) quando l'alimentazione del quadrante viene ristabilita. Sono segnali filtrati con una costante di tempo piuttosto grande, che richiede alcuni secondi per farli andare al valore di regime. I segnali che concorrono a formare la tensione di OFFSET per l'amplificatore criogenico rimangono al loro valore anche quando l'alimentazione del quadrante viene tolta, ragione per cui il PC104 deve scrivere un valore appropriato (1000, che corrisponde 123 mV) per effettuare le acquisizioni a sensore spento. Il filtro passa basso usato per il segnale di OFFSET ha una costante di tempo molto lunga, dell'ordine delle decine di secondi, perciò richiede una decina di minuti per arrivare entro un ADU dal valore di regime.

Il blocco SAMPLING CONTROLLER supervisiona il convertitore analogico digitale, in particolare controlla i tempi e i modi della conversione in tutte le modalità operative dello strumento. Riceve i dati campionati a 18 bit e li trasforma in dati a 16 bit, inoltre effettua una piccola compressione di dinamica: trasforma il valore da 0000H a 0001H e da FFFFH a FFFE H, questo perché i codici 0000 e FFFF sono riservati per gli HEADER di riga dalla Interface Board. Controlla la conversione anche quando esegue il comando READ ADC (indirizzo 40BH): si tratta di una conversione non dettata da temporizzazioni generate dal Sequencer, ma è comandata direttamente dal PC104. Durante ogni conversione verifica che tutti i segnali di Handshake scambiati con il convertitore analogico digitale rientrino entro le specifiche, in caso di difetto genera un segnale di errore, che può essere letto nella posizione D8 facendo la lettura del registro di stato all'indirizzo 400H. Oltre a questa funzione di test, che è sempre presente durante il funzionamento dell'elettronica, c'è la possibilità di obbligare il blocco logico a generare una serie predefinita di dati al posto di quelli ottenuti dalla conversione dei pixel. Si tratta di un test implementato durante lo sviluppo del sistema elettronico in laboratorio, che ha permesso di ottimizzare le prestazioni del link a fibra ottica. In dettaglio, nel test il valore di ogni pixel corrisponde alla sua posizione sulla riga: il primo pixel ha valore 0001, il secondo 0002 e così via per tutti e 1024+16 pixel. Perché ciò avvenga, occorre che il PC104 dia il comando SEQUENCER START, e contemporaneamente il bit meno significativo del dato sia al livello logico '1', altrimenti (bit meno significativo a '0') i valori in uscita dal SAMPLING

CONTROLLER sono esattamente quelli ottenuti dal convertitore, ad esclusione del valore 0000, che diventa 0001, e del valore FFFF che diventa FFFE. Infine, il blocco SAMPLING CONTROLLER riceve i comandi FILTER A (indirizzo 410H) e FILTER B (indirizzo 411H) dal blocco CONTROL LOGIC, e da questi genera il segnale FILTER SEL, che seleziona il filtro passa basso in ingresso al convertitore analogico digitale. Il default è FILTRO A, che viene selezionato automaticamente all'accensione, si tratta di un filtro passa basso differenziale del secondo ordine ottimizzato per il campionamento a 100KHz.

Il blocco DATA SELECTOR svolge una funzione cruciale nella trasmissione dei dati verso la scheda Interface Board. Come risulta dalla Tabella 5, oltre alla trasmissione dei dati relativi al campionamento dei pixel, il componente programmabile trasmette anche altri tipi di dati: quelli scritti nella memoria del Sequencer, quelli scritti nella memoria di log delle alimentazioni, e quelli presenti nei vari registri. I dati che riguardano la scansione del quadrante sono trasmessi in base a delle temporizzazioni fornite dal Sequencer, mentre la trasmissione degli altri dati dipende dall'esecuzione di un comando di lettura del PC104. Operazioni non correlate tra loro possono dar luogo ad un conflitto, perché esiste la possibilità che il PC104 esegua una lettura nell'istante in cui il componente programmabile sta per trasmettere il dato di un pixel o informazioni di scansione. Il blocco DATA SELECTOR svolge una funzione di arbitraggio che risolve questo problema, assegnando ai comandi di lettura del PC104 la priorità rispetto alla trasmissione dei dati di scansione: pixel, e sincronismi di inizio riga o immagine hanno la priorità più bassa. Se però il comando di lettura arriva dal PC104 quando la trasmissione di un dato di scansione è già iniziata, allora la logica mette in attesa la lettura fino al completo trasferimento del dato. Oltre alla funzione di arbitro fra i dati, questo blocco inserisce anche una etichetta, formata dai bit S0 e S1, che serve per identificare il tipo di dato trasmesso.

Tabella 11: Significato dei bit S1 e S0.

<i>CONFIGURAZIONE</i>		<i>TIPO DI DATO</i>
<i>S1</i>	<i>S0</i>	
0	0	DATO DI UN REGISTRO O MEMORIA
0	1	VALORE DI UN PIXEL CAMPIONATO
1	0	IDENTIFICATIVO INIZIO RIGA
1	1	IDENTIFICATIVO INIZIO FRAME

La trasmissione dei dati di scansione (pixel, e sincronismi di riga e frame) avviene con un intervallo di tempo prestabilito a prescindere da quello di campionamento. La verifica dell'intervallo tra la ricezione di un pixel e il successivo dà alla Interface Board un criterio per riconoscere se la trasmissione è avvenuta correttamente oppure no: se si verifica un errore durante la ricezione dei dati contemporaneamente al superamento di tale intervallo, la scheda ha la conferma che il dato di un pixel è stato perso. Perciò al verificarsi di questa concomitanza la Interface Board sostituisce il dato mancante con un pixel fittizio di valore 15Hex.

Il blocco logico LINK TRANSMITTER riceve i dati dal blocco DATA SELECTOR, li trasforma da paralleli a seriali e li invia alla Interface Board. La trasmissione dei dati avviene contemporaneamente alla trasmissione del clock. Come già accennato, il clock trasmesso è un eco del clock di sistema ricevuto dalla Interface Board, in quanto tale è presente solo se il blocco LINK RECEIVER non ha riscontrato errori gravi, se tutto funziona correttamente esso viene miscelato ai dati per mezzo di un clock a 131 MHz ottenuto con un PLL interno al componente programmabile.

Il formato seriale dei dati trasmessi è riportato nella tabella 12, da sinistra verso destra.

Tabella 10 : Formato seriale dei dati in ingresso al link

0	0	S1	S0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	1	1
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

La serie di dati inizia con una coppia di '0' , poi seguono due bit S1 e S0 di selezione, poi i 16 bit del dato, e infine c'è una coppia di '1' che sancisce la fine della trasmissione.

Trasmettere continuamente il clock di sistema, mentre da un lato permette di sincronizzare i canali di acquisizione, dall'altro da modo di implementare dei meccanismi di auto test per il link a fibre ottiche. Nell'elettronica di GIANO, ogni link si riferisce ad un canale di acquisizione ed è full duplex: il clock di sistema parte dal trasmettitore della scheda Interface, arriva al ricevitore di una scheda Analog Board, e da questo inviato al componente programmabile, che lo usa per sincronizzare se stesso e, in

definitiva, i segnali di scansione per il quadrante del sensore. Se il clock ricevuto è conforme a quanto aspettato il componente programmabile lo usa come riferimento e lo rimanda indietro con il LINK TRANSMITTER verso la Interface Board, se non è conforme o presenta errori, il clock non viene spedito indietro. Di conseguenza a tale meccanismo, se il componente programmabile della Interface Board rileva che il clock di sistema è tornato indietro può giustamente ritenere che tutto il link sta funzionando correttamente. Riassumendo, questo loop del clock di sistema ha richiesto un metodo non convenzionale per la codifica dei dati su fibra ottica, ma una volta implementato offre due vantaggi. Il primo, quello per il quale è stato pensato, è che i segnali per la scansione del sensore dei diversi canali di acquisizione possono essere sincronizzati tra di loro entro 1 nano secondo. Il secondo è che il sistema così congegnato oltre a riconoscere gli errori, permette anche di misurare quanti ne sono avvenuti in un certo intervallo di tempo, in pratica l'elettronica di acquisizione di Giano ha implementato blocchi logici interni per effettuare la misura del Bit Error Rate dei suoi link in tempo reale.

Va ricordato che questo meccanismo di controllo degli errori nel link a fibre ottiche rivela sistematicamente anche che le schede non sono alimentate. Siccome l'alimentazione della parte interfaccia segue un percorso diverso da quella delle parti analogiche, quando l'elettronica viene accesa le due alimentazioni non arrivano mai contemporaneamente, dunque è praticamente certo che una delle due rilevi errori nei link, perché quella parte che viene alimentata per prima si accorge che dall'altra non arriva alcun segnale. Vedere questa segnalazione all'accensione (o dopo aver premuto il pulsante RESET FPGA della Interface Board) è cosa normale, è la naturale conseguenza del fatto che la logica di test dei link sta vigilando secondo le specifiche di progetto.

I blocchi logici SEQUENCER PROCESSOR e SEQUENCER MEMORY permettono di eseguire qualunque tipo di operazione sul sensore, grazie ad un set limitato e intuitivo di istruzioni che possono essere combinate senza limiti o restrizioni per realizzare qualunque programma di misura. L'unica restrizione è costituita dalla dimensione della memoria, che non può contenere più di 1024 parole a 16 bit. Ogni istruzione è potente ed intuitiva, perché corrisponde ad una fase operativa del sensore: per esempio l'istruzione READ mette in moto tutti i segnali per la scansione e la lettura del quadrante, con due istruzioni si realizzano le due acquisizioni necessarie per il doppio campionamento correlato. Naturalmente le istruzioni possono

essere combinate a piacere per realizzare tecniche di misura più complesse, per esempio ripetendo N volte la coppia di istruzioni per la lettura e l'integrazione si possono effettuare N campionamenti multipli sulla rampa del segnale. La maggior parte delle istruzioni genera sequenze di segnali che durano tipicamente una decina di secondi, per la precisione la lettura del quadrante richiede da un minimo di 2 a un massimo di 18 secondi, quindi un programma che occupa tutta la memoria si traduce in una sessione di misure che può durare alcune ore. Nell'elettronica di acquisizione di Giano ci sono 4 Sequencer (uno in ogni Analog Board), che sono sincronizzati con il clock di sistema, ma sono tra di loro completamente indipendenti e perciò in grado di eseguire programmi diversi tra loro. Questa caratteristica aggiunge altri gradi di libertà alla programmazione, perché alla capacità di generare i clock di scansione per i quadranti identici e sincronizzati, si aggiunge quella di eseguire programmi diversi fra loro, che si traduce nel generare clock di scansione differenziati per ogni quadrante. Un esempio estremo potrebbe essere quello in cui un quadrante è acceso ed effettua misure mentre gli altri sono spenti. Un esempio più attinente a casi reali potrebbe essere quello in cui il sensore è illuminato in modo non omogeneo, in questa eventualità è possibile diversificare la programmazione dei Sequencer in modo da leggere e resettare più frequentemente il quadrante che riceve più luce.

La SEQUENCER MEMORY è una memoria di 1024x16 bit che contiene il codice binario del programma per il processore. È una memoria con doppia porta di accesso: ha due ingressi per bus indirizzi e due per il bus dei dati, una coppia address-data bus è collegata con il blocco CONTROL LOGIC, attraverso questo collegamento il pc di controllo può scrivere e leggere i dati. L'altra porta è dedicata all'esecuzione del programma: lo address bus è collegato al Program Counter, mentre il data bus fornisce il codice delle istruzioni al Sequencer. Le due porte della memoria sono indipendenti e consentono la scrittura e modifica di istruzioni anche mentre queste vengono eseguite, si tratta di una caratteristica che interagisce molto in profondità nella logica e potrebbe perciò causare malfunzionamenti, perché permette di cambiare le istruzioni del Sequencer proprio mentre le sta eseguendo.

Il Sequencer Processor è una macchina di stati logici progettata per generare tutti i clock di scansione e tutte le temporizzazioni per la gestione del convertitore analogico digitale, eseguendo le istruzioni che trova scritte dentro la sua memoria. Come i processori tradizionali ha una sua logica

interna e il Program Counter, che è un contatore di indirizzi per la memoria di programma, conta partendo dal valore zero e incrementando di uno ogni volta che viene eseguita un'istruzione. Ogni programma di acquisizione inizia perciò con l'istruzione scritta all'indirizzo 0 e prosegue con le istruzioni scritte agli indirizzi seguenti in ordine crescente. L'unica eccezione a questa regola è legata all'istruzione RESTART, che può azzerare il Program Counter e far ripartire il programma; si tratta di un salto condizionato perché avviene se non è arrivato il comando di STOP, se il comando è stato ricevuto l'esecuzione del programma si ferma. La tabella 14 riassume i comandi e la mappa di indirizzamento per il Sequencer Processor, la lettera R indica che è ammessa solo una operazione di lettura, la lettera W indica che è ammessa solo una operazione di scrittura.

Tabella 14: mappa indirizzi per il SEQUENCER PROCESSOR

<i>INDIRIZZO</i>	<i>MNEMONICO</i>	<i>DESCRIZIONE</i>
R/W 000 - 3FF	SEQUENCER MEMORY	MEMORIA DEL SEQUENCER
W 401	SEQUENCER ABORT	RESET IMMEDIATO DEL SEQUENCER
W 40C	SEQUENCER START	COMANDO, FA PARTIRE IL SEQUENCER
W 40D	SEQUENCER STOP	COMANDO, FERMA IL SEQUENCER
W 413	FSYNC	SCRIVE I PARAMENTRI DEL FRAME SYNC
W 414	LSYNC	SCRIVE I PARAMETRI DEL LINE SYNC
W 415	STOP ON C.I.	FERMA IL SEQUENCER DOPO CHE HA ESEGUITO L'ISTRUZIONE CORRENTE
W 416	RESETEN	SCRIVE PARAMETRI DI RESETEN E RESET
R 408	READ PROGR COUNTER	LEGGE PROGRAM COUNTER

Tabella 15: registro PROG COUNTER, indirizzo 408H

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
N_S	S_R	R_R	SHR	INT	EXP	PC9	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0

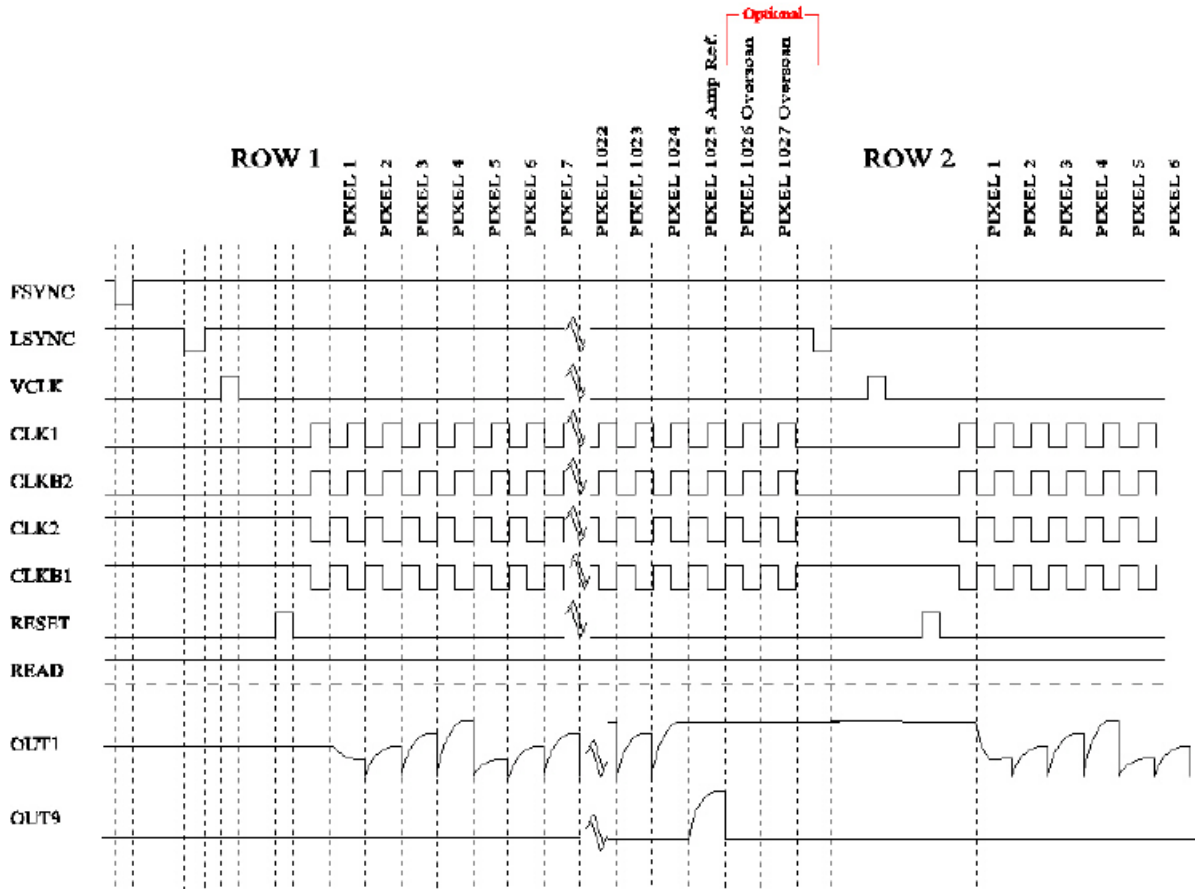
La tabella 15 mostra come i dati sono inseriti nel bus D0 – D15. I 10 bit meno significativi, da D0 a D9 accolgono i dati da PC0 a PC9, che sono la

configurazione del Program Counter, in pratica si tratta di un numero binario che indica in quale punto del programma si trova il Sequencer al momento della lettura. In D10 c'è il segnale EXP, che va al livello '1' se al momento della lettura il Sequencer sta generando i segnali per la scansione degli extra pixel. In D11 c'è il segnale INT, che è al livello logico '1' per indicare che il Sequencer esegue l'istruzione INT, cioè sta facendo l'integrazione sul quadrante del sensore. In D12 trova posto il segnale SHR, che va al livello logico '1' quando il Sequencer genera i segnali che provocano il reset veloce (Short Reset) del quadrante. In D13 c'è il segnale R_R, che è al livello logico '1' quando il Sequencer genera i segnali per eseguire la lettura durante il reset del quadrante (istruzione READ RESET). In D14 c'è il segnale S_R, che va al livello logico '1' per indicare che il Sequencer sta generando i segnali di scansione e contemporaneamente acquisisce il segnale generato dal quadrante (istruzione Sample Read). In D15 c'è il segnale N_S, che è al livello logico '1' per indicare che il Sequencer non sta campionando (No Sample) il segnale.

I comandi START, STOP, ABORT o STOP ON C.I. permettono il controllo del Sequencer da un computer esterno. START è il comando che fa partire il Sequencer e contemporaneamente azzerava il Program Counter, viene così eseguita l'istruzione che si trova all'indirizzo 0, poi quella all'indirizzo 1, e così via incrementando di 1 fino all'istruzione RESTART. STOP è un comando che viene memorizzato e preso in considerazione solo nel momento in cui il Sequencer esegue l'istruzione RESTART: l'esecuzione del programma si ferma se è arrivato il comando STOP, o riparte dall'istruzione che si trova all'indirizzo 0 se il comando non è arrivato. STOP ON C.I. è un comando che fa terminare l'esecuzione del programma appena il Sequencer ha completato l'istruzione corrente, qualunque essa sia. ABORT è invece un comando di reset vero e proprio: con questo comando l'esecuzione dell'istruzione viene interrotta istantaneamente.

Figura 11a:

HAWAII-2



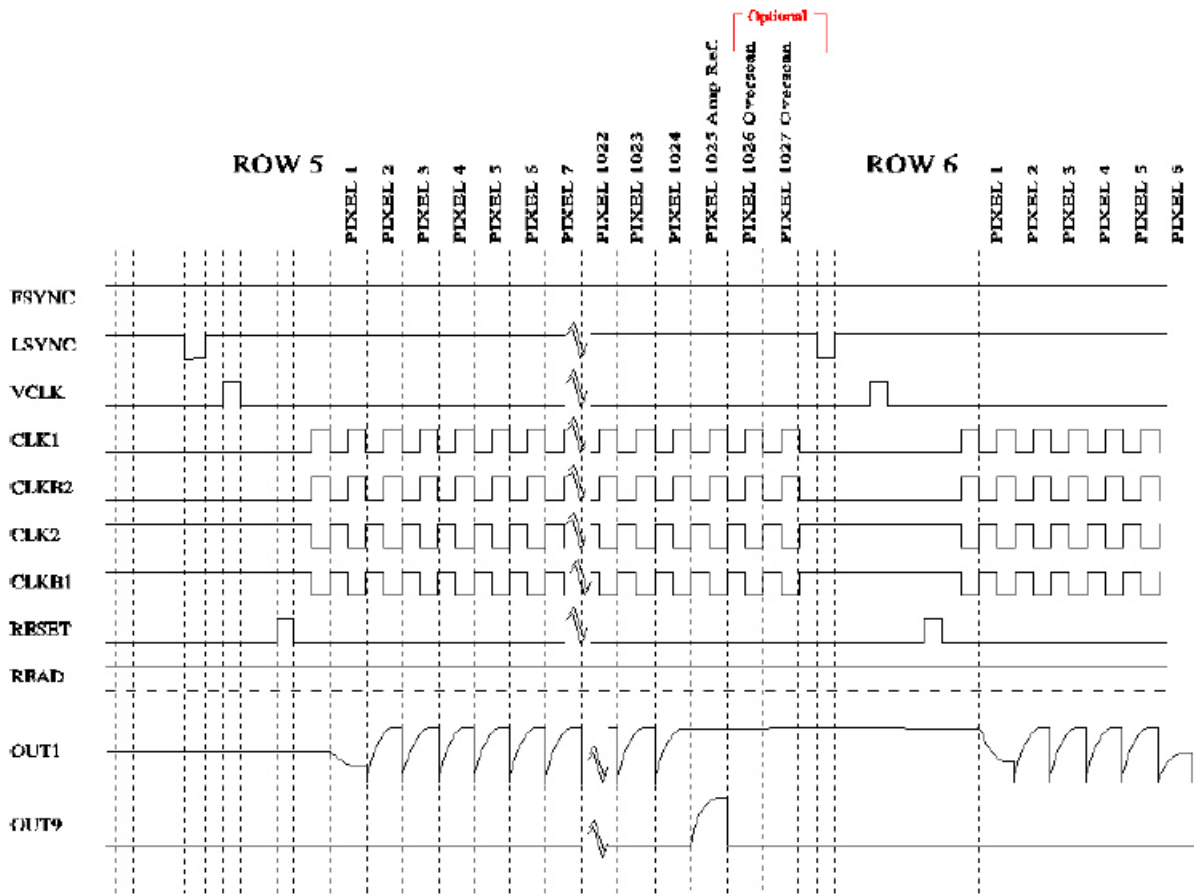
April 19, 2002

14

5212 Verdugo Way
Camarillo, CA 93012

Figura 11b:

HAWAII-2



April 19, 2002

15

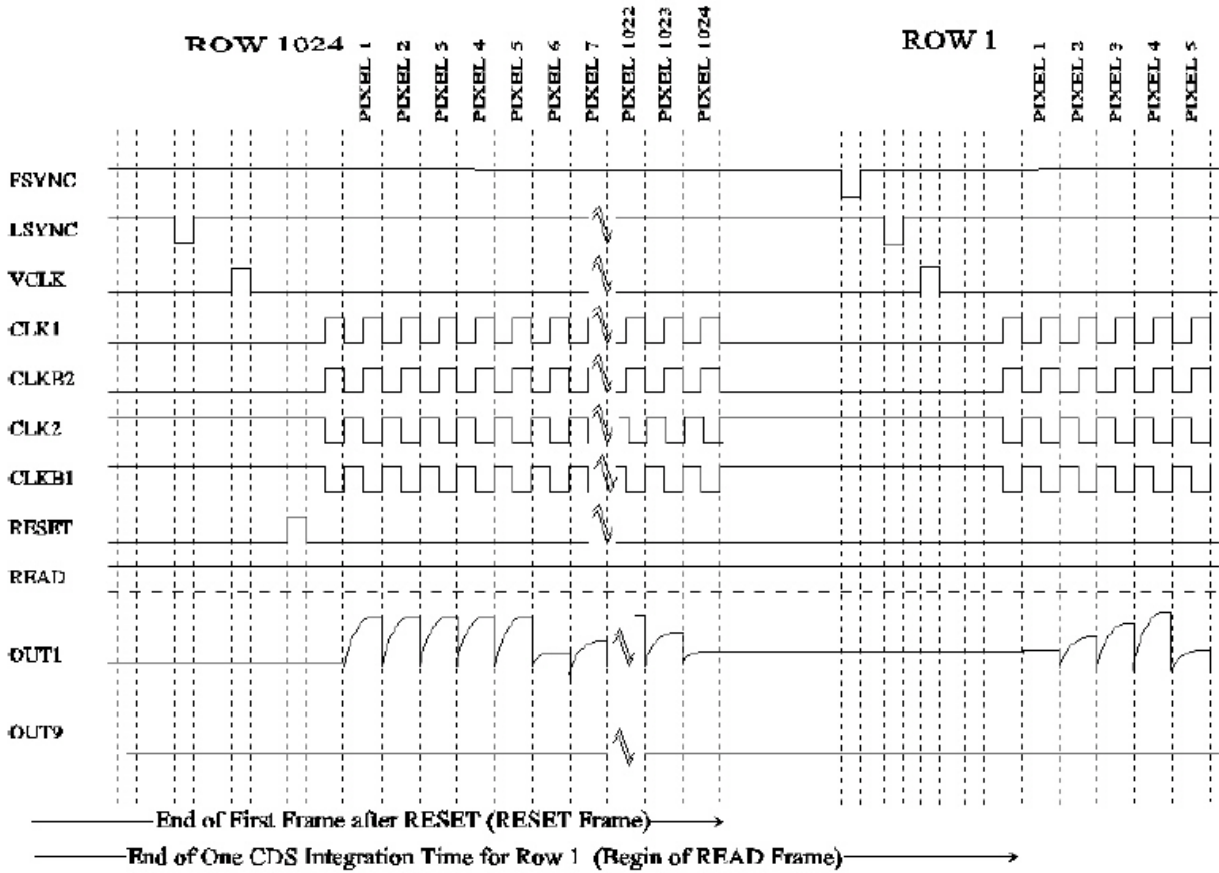
5212 Verdugo Way
Camarillo, CA 93012

NOTES:

1. The pixel clocks are single edged, therefore one pixel takes one clock cycle.
2. The horizontal and vertical shift registers operate asynchronously from each other.
3. CLK1 must be low when LSYNC goes low.
4. Relationship between CLK1 (CLKB2) and CLK2 (CLKB1) shall have edges coincident within 25ns of each other.
5. FSYNC is pulsed once per frame.
6. LSYNC must occur sometime before the first pixel of each row.
7. FSYNC and LSYNC may occur simultaneously, and are asynchronous to each other.
8. VCLK must be low when FSYNC goes low.
9. VCLK increments the vertical shift register.
10. RSTIN is an active high asynchronous clock that resets the entire accessed row at any time during the row access time.
11. READ is an active high clock that connects the column bus to the output circuit.
12. For best performance, the rise and fall times of the logic signals applied to the multiplexer should be faster than 50ns.
13. The HAWAII-2 operates only in ripple mode.
14. Integration for each row starts either on falling edge of RSTIN or after VCLK pulse if RSTIN is held high during entire line clocking.
15. On 1024th row, pixel clock should stop at 1024th pixel to disable output amplifiers during non-clocking integration time, and READ should go to LOW state after 1024th pixel during

Figura 11c:

HAWAII-2



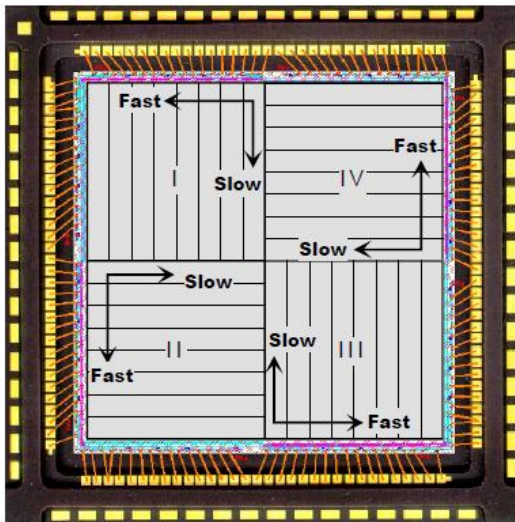
April 19, 2002

17

5212 Verdugo Way
Camarillo, CA 93012

Read-out Organization

The HAWAII-2 is an Ultra Large Scale Integrated Circuit that is arranged into 4 electrically independent quadrants. Electrical independence of the quadrants is complete except for the multiplexer substrate and detector substrate connections (MUXSUB and DSUB). Each of the multiplexer quadrants are oriented with the fast (horizontal) and slow (vertical) readout directions as shown in Figure 1, below.



Le figure 11a, 11b e 11c sono tratte dalla documentazione del sensore HAWAII2, mostrano le forme d'onda dei segnali di clock durante la scansione del quadrante; eseguite una di seguito all'altra queste forme d'onda effettuano il doppio campionamento correlato. La lettura con reset (Fig. 11a) inizia con un impulso al livello logico '0' sul segnale FSYNC, che inizializza il registro di scansione verticale del quadrante. Dopo un piccolo ritardo un impulso al livello logico '0' sul segnale LSYNC azzerava il registro di scansione orizzontale dei pixel. Successivamente un impulso al livello '1' sul segnale VCLK incrementa il registro di scansione verticale, a questo punto la riga numero 1 è selezionata. Trascorso un piccolo intervallo di tempo, un impulso al livello logico '1' sul segnale RESET causa il reset dei pixel presenti sulla riga al valore definito dalla tensione VRESET. Completata la sequenza di segnali concernenti l'inizio riga, inizia la lettura dei pixel con i segnali CLK1, CLKB1, CLK2 e CLKB2 che commutano come due onde quadre invertite fra loro. Il segnale dei pixel esce in fase con questi quattro segnali, per leggere la riga è necessario che gli impulsi siano 1024, uno per ogni pixel; ulteriori passi di clock indirizzano un pixel di riferimento, che abbiamo chiamato extra-pixel. Questo segnale può risultare utile per rimuovere il rumore in bassa e bassissima frequenza conseguente a variazioni di temperatura del sensore. L'elettronica di acquisizione di Giano è programmata per acquisire in ogni modo operativo 16 extra-pixel per tutte le righe.

Completata la lettura della prima riga i segnali CLK1, CLK2 e CLKB1, CLKB2 si fermano, e si ripetono quei segnali che fanno azzerare il registro orizzontale (LSYNC) e incrementare il registro verticale (VCLK) per selezionare la riga numero 2, anche il segnale RESET ripete un impulso al livello '1' che causa il reset dei pixel al valore della tensione VRESET. A questo punto la scansione riprende con i segnali CLK1, CLK2, CLKB1 e CLKB2 che commutano tra il livello logico '0' e il livello logico '1'. Tale sequenza di segnali si ripete per 1024 volte, una per ogni riga del sensore. Così facendo tutti i pixel del quadrante vengono letti al loro valore iniziale, il valore cioè che hanno assunto per effetto del RESET. La carica accumulata in ogni pixel dipende dall'intensità della radiazione ricevuta e dal tempo di integrazione, per misurarla va fatta la differenza tra il valore del segnale di ogni pixel dopo un certo tempo di integrazione e il suo valore misurato al momento del reset. La sequenza dei segnali necessari per fare la seconda acquisizione (senza l'impulso sul segnale RESET) è illustrata in Figura 11c. Anche in questo caso si inizia con FSYNC che va al livello logico '0'; seguono

poi gli impulsi su LSYNC e VLK (ma non quello sul segnale RESET), poi i 1024 (o più) commutazioni sui segnali CLK e CLKB fanno uscire il segnale dei pixel per la prima riga (più eventuali extra-pixel). Completata la lettura della prima riga si ripetono gli impulsi su LSYNC e VCLK (ma non FSYNC), poi il pacchetto di impulsi sui segnali CLK e CLKB determina la lettura dei pixel appartenenti alla seconda riga. La stessa sequenza di segnali descritta per la seconda riga viene ripetuta fino alla riga 1024, a quel punto la scansione del quadrante è completata. L'immagine ottenuta con la seconda lettura è caratterizzata da un incremento del segnale, perché la carica dei pixel, partita dal suo valore iniziale di reset, è cresciuta di una quantità proporzionale alla radiazione ricevuta e al tempo trascorso fra le due scansioni. Questa è, in sintesi, la procedura del doppio campionamento correlato, altre tecniche di misura sono possibili, come per esempio quella basata su numerose acquisizioni (letture senza reset) per valutare la rampa di carica di ogni pixel.

La parte bassa della figura 11c mostra la disposizione fisica dei pixel ed il verso di lettura per ogni quadrante.

La descrizione dei segnali e delle modalità di lettura del sensore, porta direttamente alla definizione delle istruzioni del Sequencer Processor: c'è l'istruzione RESET and READ, l'istruzione READ, l'istruzione RESTART, e l'istruzione INT, quattro in tutto, una per ogni modalità operativa del sensore più alcune varianti. Dell'istruzione RESTART abbiamo già dato una descrizione: ricordiamo solo che si tratta di un salto condizionato all'inizio programma se non è stato ricevuto il comando di STOP Sequencer. Quando il Sequencer esegue l'istruzione READ genera tutti i segnali di scansione del quadrante nei modi e nei tempi descritti dalla Fig. 11c. Idem quando esegue l'istruzione RESET and READ, il Sequencer genera tutti i segnali come descritti dalle figure 11° e 11b. Quando invece esegue l'istruzione INT (INTegrazione), il Sequencer non genera nessun segnale per un intervallo di tempo programmato, questa situazione di quiete permette al sensore di accumulare la carica nei pixel.

Tabella 16: codice istruzione RESTART

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
1	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X

L'istruzione RESTART è codificata su 16 bit, ma solo i due più significativi sono presi in considerazione. Provoca il salto condizionato del programma: il Sequencer non esegue il salto e l'esecuzione si ferma, se ha ricevuto il comando STOP, oppure continua a generare segnali eseguendo l'istruzione che si trova all'indirizzo 0 della memoria, se non ha ricevuto il comando STOP.

Tabella 17: codice istruzione INT

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
1	0	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0

L'istruzione è codificata su 16 bit, i due più significativi sono nella configurazione '10', gli altri bit rappresentano il tempo di intergrazione: T0 corrisponde a 10 mSec, il tempo massimo realizzabile da una singola istruzione è dunque pari a $(2^{14} * 10^{-2} Sec)$ 163,84 secondi. Per ottenere tempi di integrazione più lunghi è necessario abbinare più istruzioni INT consecutivamente.

Tabella 18: codice istruzione READ

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	1	P6	P5	P5	P3	P2	P1	P0	S6	S5	S4	S3	S2	S1	S0

I due bit più significativi dell'istruzione sono nella configurazione '01', i restanti 14 contengono due parole di 7 bit ciascuna, che costituiscono i parametri di questa istruzione: i bit da P0 a P6 indicano la durata del semiperiodo dei clock (CLK, CLK1, CLKB, CLKB1), i bit da S0 a S6 indicano il ritardo della conversione analogico digitale rispetto al fronte del clock.

La sequenza di segnali generata è simile a quella descritta dalla Figura 11c, considerando che i clock CLK, CLK1, CLKB e CLKB1 fanno 1024 + 16 commutazioni, cioè vengono letti tutti i pixel della riga più 16 extra pixel.

La durata del semiperiodo dei segnali di clock è data dal valore rappresentato dai bit P0-P6 a cui va sommato 1 μ Sec, di conseguenza la frequenza massima dei clock è 500KHz.

La formula che permette di calcolare la durata del semiperiodo T è:

$$T = [P6..P0] * 61nSec + 1\mu Sec \text{ oppure, per una maggiore precisione:}$$

$$T = [P6..P0] * (1/16384000) + (16/16384000) \mu Sec.$$

Con [P6..P0] si intende il numero rappresentato dai bit fra P6 e P0.

Il ritardo della conversione analogico digitale rispetto ai segnali di clock dipende dal numero espresso dalla configurazione dei bit che vanno da S0 a S6. La formula che permette di calcolare la durata del ritardo D all'interno del semiperiodo dei segnali di clock è la seguente:

$$D = [S6..S0] * 61nSec + 1\mu Sec \text{ oppure, per una maggiore precisione:}$$

$$D = [S6..S0] * (1/16384000) + (16/16384000) \mu Sec.$$

Con [S6..S0] si intende il numero rappresentato dai bit compresi fra S6 e S0. Se D è maggiore di T, la conversione analogico digitale non avviene, questo è il metodo per effettuare la scansione del sensore senza acquisirne il segnale.

Figura 12: clock di scansione e conversione analogico digitale:

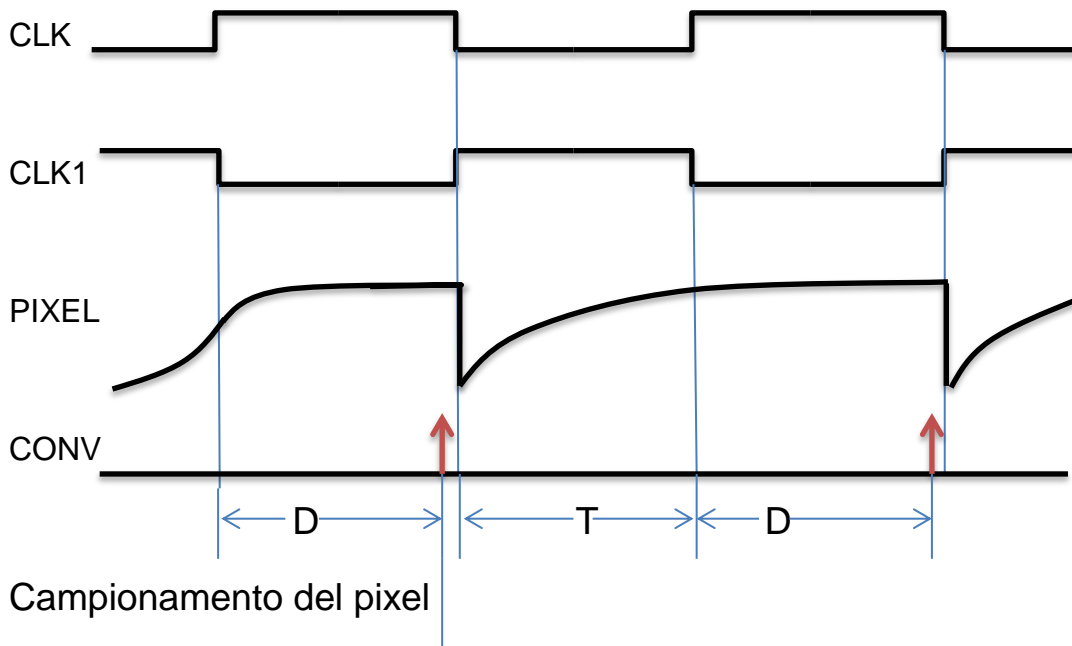


Tabella 19: codice istruzione RESET and READ

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	P6	P5	P5	P3	P2	P1	P0	S6	S5	S4	S3	S2	S1	S0

I due bit più significativi dell'istruzione sono nella configurazione '00', i restanti 14 sono formati da due parole di 7 bit ciascuna, che insieme costituiscono i parametri di questa istruzione: i bit da P0 a P6 indicano la durata del semiperiodo dei clock (CLK, CLK1, CLKB, CLKB1), i bit da S0 a S6 indicano il ritardo della conversione analogico digitale rispetto ai clock.

Questa istruzione effettua il reset dei pixel e la lettura durante la scansione del quadrante, a parte l'impulso sul segnale RESET, i segnali generati sono identici a quelli della istruzione READ. La sequenza di segnali è descritta dalle Figure 11a e 11b, con la differenza che i clock CLK, CLK1, CLKB e CLKB1 fanno 1024 + 16 commutazioni, cioè vengono letti anche 16 extra pixel.

La durata del semiperiodo dei segnali di clock è data dal valore rappresentato dai bit P0-P6 a cui va sommato 1 µSec, di conseguenza la frequenza massima dei clock è pari a 500KHz.

La formula che permette di calcolare la durata del semiperiodo T è:

$$T = [P6..P0] * 61nSec + 1\mu Sec \text{ oppure, per una maggiore precisione:}$$

$$T = [P6..P0] * (1/16384000) + (16/16384000) \mu Sec.$$

Dove con [P6..P0] si intende il numero rappresentato dai bit compresi fra P6 e P0.

Il ritardo della conversione analogico digitale rispetto ai segnali di clock dipende dal numero espresso dalla configurazione dei bit che vanno da S0 a S6. La formula che permette di calcolare la durata del ritardo D all'interno del semiperiodo dei segnali di clock è la seguente:

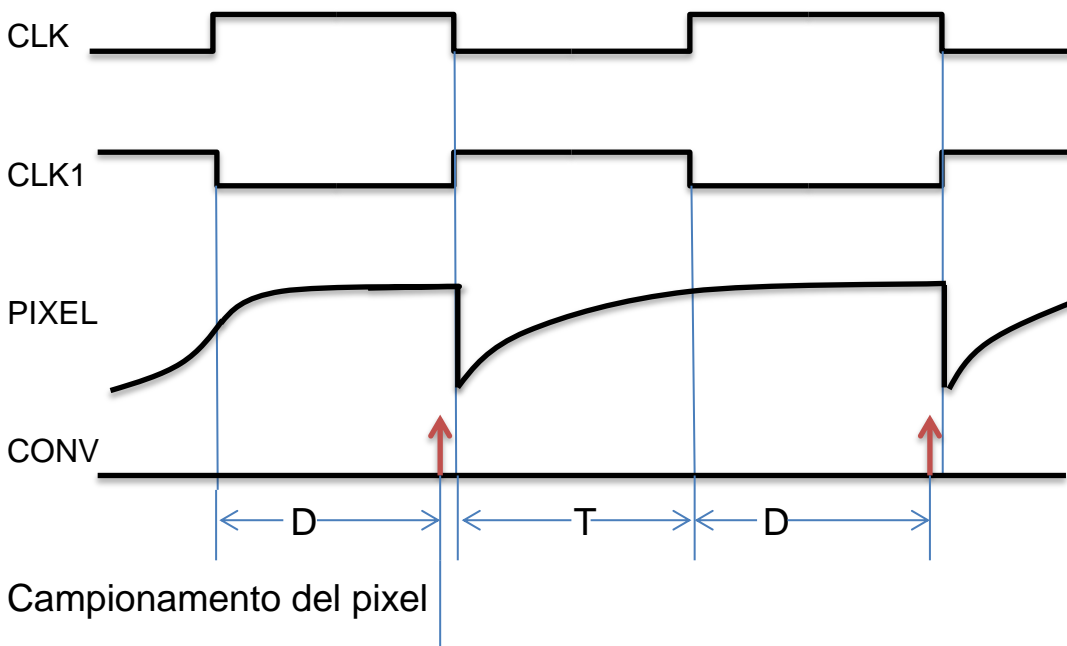
$$D = [S6..S0] * 61nSec + 1\mu Sec \text{ oppure, per una maggiore precisione:}$$

$$D = [S6..S0] * (1/16384000) + (16/16384000) \mu Sec.$$

Dove con [S6..S0] si intende il numero rappresentato dai bit compresi fra S6 e S0. Se D è maggiore di T la conversione analogico digitale non

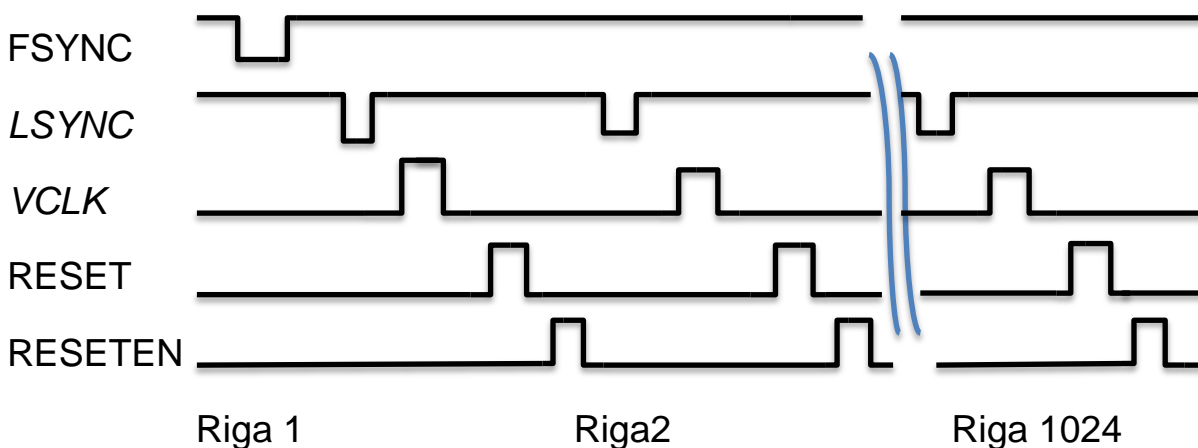
avviene, questo è il metodo per effettuare la scansione del sensore senza acquisirne il segnale.

Figura 12a: clock di scansione e conversione analogico digitale:



Un caso particolare di questa istruzione, una variante, si verifica quando i bit da P0 a P6 sono tutti al livello logico '0'. In questa circostanza il Sequencer esegue un reset molto veloce (lo SHORT RESET). Invece dei segnali descritti dalle Figure 11a e 11b, vengono generati solo FSYNC, LSYNC, VCLK e RESET, come illustrato.

Figura 13: Segnali di SHORT RESET.



La durata degli impulsi è predefinita: FSYNC dura 4 μ Sec al livello '0', dopo 2 μ Sec LSYNC va al livello '0' per altri 2 μ Sec, dopo 2 μ Sec VCLK va al livello '1' per 1.5 μ Sec, infine dopo 0.5 μ Sec vengono generati i segnali RESET e RESETEN, con temporizzazioni e parametri programmati nel registro dedicato del Sequencer.

I parametri degli impulsi sui segnali FSYNC, LSYNC, RESET, vengono scritti in registri dedicati. Il loro valore influenza la durata, l'intervallo di tempo compreso tra di loro e, limitatamente al segnale RESETEN, anche la presenza.

Tabella 20: Registro F, comando di scrittura FSYNC, indirizzo 413H.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
F3	F2	F2	F0	H11	H10	H9	H8	H7	H6	H5	H4	H3	H2	H1	H0

I dati presenti in questo registro determinano la durata al livello logico '0' del segnale FSYNC e un intervallo di tempo di attesa prima che sia asserito l'impulso sul segnale LSYNC della prima riga. La durata dell'impulso è data dalla configurazione dei bit da F0 a F3 [F3..F0], secondo questa formula:

$$F = 2\mu\text{Sec} + [F3..F0] \times 1\mu\text{Sec}.$$

Il valore minimo è 2μSec, il massimo è 17μSec, durante lo SHORT RESET la sua durata è 4μSec indipendentemente dal valore scritto nel registro.

Il tempo di attesa dopo FSYNC al livello '0', dipende dalla configurazione dei bit che vanno da H0 a H11 [H11..H0], secondo questa formula:

$$H = 2\mu\text{Sec} + [H11..H0] \times 1\mu\text{Sec}.$$

Il valore minimo è 2μSec, il massimo è 4.1mSec, durante lo SHORT RESET la sua durata è 2μSec indipendentemente dal valore scritto nel registro.

Figura 14: Parametri del segnale FSYNC.

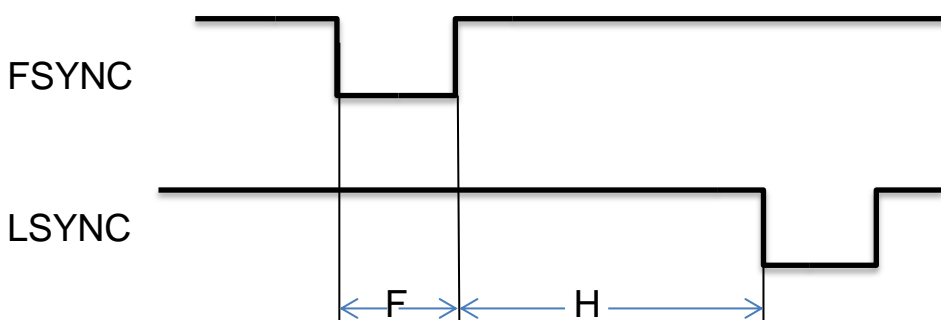


Tabella 22: Registro L, comando di scrittura LSYNC, indirizzo 414H.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
L3	L2	L1	L0	H11	H10	H9	H8	H7	H6	H5	H4	H3	H2	H1	H0

I dati presenti in questo registro determinano la durata al livello logico '0' del segnale LSYNC e un intervallo di tempo di attesa prima che sia asserito il segnale VCLK. La durata dell'impulso è data dalla configurazione dei bit da L0 a L3 [L3..L0], secondo questa formula:

$$L = 2\mu\text{Sec} + [L3..L0] \times 0.5\mu\text{Sec}.$$

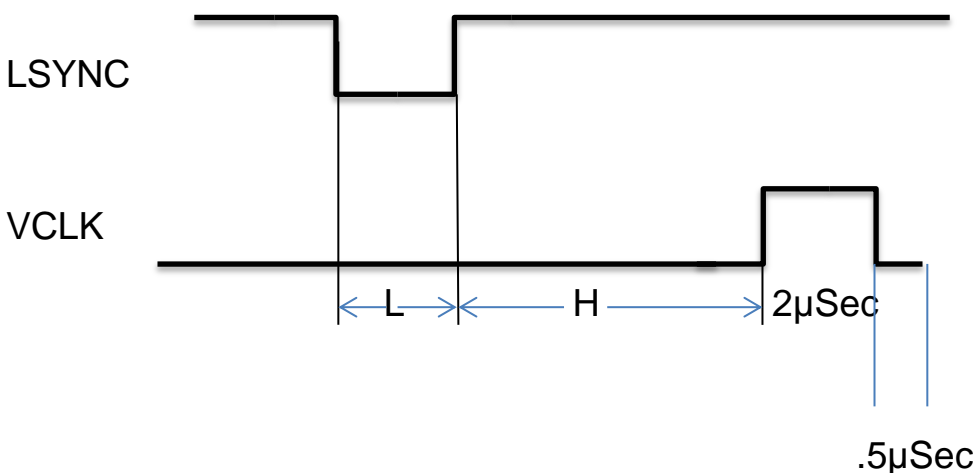
Il valore minimo è 2μSec, il massimo è 10μSec, durante lo SHORT RESET la sua durata è 2μSec indipendentemente dal valore scritto nel registro.

Il tempo di attesa dopo LSYNC al livello '0', dipende dalla configurazione dei bit che vanno da H0 a H11 [H11..H0], secondo questa formula:

$$H = 2\mu\text{Sec} + [H11..H0] \times (1/32)\mu\text{Sec}.$$

Il valore minimo è 2μSec, il massimo è circa 129μSec, durante lo SHORT RESET la sua durata è 2μSec indipendentemente dal valore scritto nel registro.

Figura 15: Parametri del segnale LSYNC.



Il segnale VCLK non ha parametri, la sua durata al livello logico '1' è fissata a 2µSec, seguita da 0.5µSec a livello logico '0'. Durante lo SHORT RESET la sua durata è pari a 1.5µSec, resta invariato l'intervallo al livello '0'.

Tabella 23: Registro R, comando di scrittura RESETEN, indirizzo 416H.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R3	R2	R1	R0	RH3	RH2	RH1	RH0	N3	N2	N1	N0	NH3	NH2	NH1	NH0

I dati presenti in questo registro determinano la durata al livello logico '1' del segnale RESET, la presenza e durata del segnale RESETEN, l'intervallo di tempo compreso tra i due segnali e l'attesa per la generazione dei segnali CLK, CLK1, CLKB, CLKB1. L'impulso di RESET è preceduto da uno stato di attesa di 0.5µSec (che si sommano a 0.5µSec che seguono VCLK), la sua durata al livello logico '1' è data dalla configurazione dei bit da R0 a R3 [R3..R0], secondo questa formula:

$$R = 122nSec + [R3..R0] \times 122nSec.$$

Il valore minimo è dunque 122nSec, il massimo ammesso circa 2µSec.

Dopo il segnale di RESET è possibile programmare un ritardo il cui valore dipende dalla configurazione dei bit RH0 RH3 [RH3..RH0], secondo questa formula:

$$RH = 0.5\mu Sec + [RH3..RH0] \times 1\mu Sec.$$

Il valore minimo è 0.5µSec, il massimo circa 16µSec.

Trascorso l'intervallo di tempo programmato RH, può aver luogo il segnale RESETEN. La sua presenza e durata dipende dalla configurazione dei bit da N0 a N3 [N3..N0].

$$N = 122nSec \times [N3..N0]$$

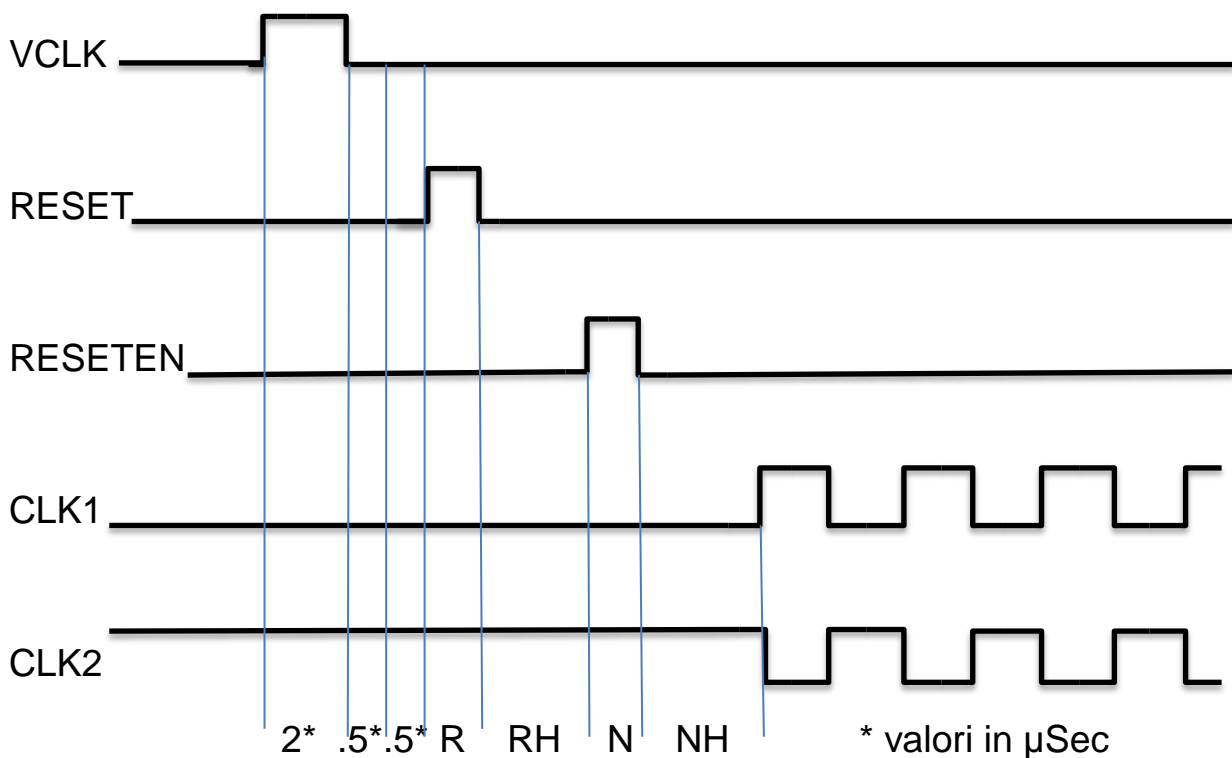
Il suo valore massimo è circa 2µSec, il minimo invece è 0, cioè RESETEN assente. Test di laboratorio hanno messo in evidenza che questo segnale svolge una funzione di reset del multiplexer, che migliora la cosmesi dell'immagine.

Dopo il segnale RESETEEN, indipendentemente che esso sia presente o meno, c'è un intervallo di tempo di attesa prima dell'inizio dei clock di scansione veri e propri, la durata dell'attesa dipende dalla configurazione dei bit da NH0 a NH3 [NH3..NH0], secondo questa formula:

$$NH = 0.5\mu\text{Sec} + [NH3..NH0] \times 1\mu\text{Sec}.$$

Il valore minimo è 0.5μSec, il massimo circa 16μSec. Se RESETEEN non è generato, perché [N3..N0] = 0, questo ritardo si somma comunque a quello programmato con i bit [RH3.. RH0].

Figura 16: Parametri di RESET e RESETEEN



Riferimenti bibliografici:

- **“Progetto Giano – Memo Specifiche temporizzazioni del sequencer”** V.Biliotti
http://www.arcetri.astro.it/irlab/doc/giano/elettronica/tempi_sequencer.pdf
 - **“Software structure of server104”** E. Giani, C. Baffa, V.Biliotti
http://www.arcetri.astro.it/pubblicazioni/Reports/10/testi/3_10.pdf
 - **“Performances and results of the detector acquisition system of the GIANO spectrometer”** E. Oliva, V. Biliotti, C. Baffa, E. Giani, M. Gonzalez, M. Sozzi, A. Tozzi, L. Origlia
http://www.arcetri.astro.it/irlab/doc/spie_12/giano_acquisition_system_8453_103.pdf
 - **“Tabelle dei valori e degli indirizzi dell'elettronica di Giano Versione 1.24”**
C.Baffa, V.Biliotti, E.Giani
http://www.arcetri.astro.it/irlab/doc/giano/elettronica/Protocollo_ISA_1_24.pdf
 - **“Il programma server104 ed il sistema embedded”** C. Baffa, V. Biliotti, E. Giani
http://www.arcetri.astro.it/pubblicazioni/Reports/10/testi/2_10.pdf
- Arcetri technical report [8/2010](http://www.arcetri.astro.it/pubblicazioni/Reports/10/8_10.html) Test dell'elettronica e misure di stabilità a lungo termine V. Biliotti, C. Baffa, G.Falcini, E. Giani, E.Oliva, L.Origlia, A.Tozzi, M.Sozzi
http://www.arcetri.astro.it/pubblicazioni/Reports/10/8_10.html
 - Arcetri technical report [5/2006](http://www.arcetri.astro.it/pubblicazioni/Reports/06/5_06.html) Caratterizzazione criogenica degli amplificatori operazionali OPA627, AD8620 e AD8655 V Biliotti, M. González, I. Mochi
http://www.arcetri.astro.it/pubblicazioni/Reports/06/5_06.html
 - Arcetri technical report [3/2007](http://www.arcetri.astro.it/pubblicazioni/Reports/07/3_07.html) Test del preamplificatore di GIANO M. Gonzalez, I. Mochi, V. Biliotti
http://www.arcetri.astro.it/pubblicazioni/Reports/07/3_07.html
 - Arcetri technical report [5/2004](http://www.arcetri.astro.it/pubblicazioni/Reports/04/5_04.html) Caratterizzazione di FET a temperature criogeniche V. Biliotti, S. Gennari
http://www.arcetri.astro.it/pubblicazioni/Reports/04/5_04.html